

Docket No.: 67161-066

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Jun SUMINO, et al.

Serial No.: Group Art Unit:

Filed: July 07, 2003 Examiner:

For: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF  
FABRICATING THE SAME

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-016107(P), filed January 24, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:mcw  
Facsimile: (202) 756-8087  
**Date: July 7, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

67161-066  
SUMINO et al.  
July 7, 2003.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2003年 1月 24日

出願番号

Application Number: 特願2003-016107

[ST.10/C]:

[JP2003-016107]

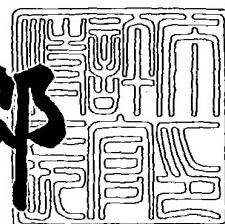
出願人

Applicant(s): 三菱電機株式会社

2003年 2月 21日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3009165

【書類名】 特許願  
【整理番号】 540025JP01  
【提出日】 平成15年 1月24日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/788  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内  
【氏名】 角野 潤  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内  
【氏名】 清水 僕  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100064746  
【弁理士】  
【氏名又は名称】 深見 久郎  
【選任した代理人】  
【識別番号】 100085132  
【弁理士】  
【氏名又は名称】 森田 俊雄  
【選任した代理人】  
【識別番号】 100083703  
【弁理士】  
【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項1】 主表面において間隔を隔てて配置された2つの溝を有する半導体基板と、

前記溝の内部を充填するように形成され、上部表面の端部の形状が前記半導体基板側に凸となっている曲面状である分離絶縁体と、

前記2つの溝の間に位置する前記半導体基板の主表面上から、前記2つの分離絶縁体上にまで延在し、平坦な上部表面を有する浮遊電極と、

前記浮遊電極の上部表面上から前記分離絶縁体上に位置する前記浮遊電極の側面上にまで延在するように形成された絶縁膜と、

前記浮遊電極の上部表面上から前記浮遊電極の側面上にまで延在するように、前記絶縁膜上に形成された制御電極とを備える、不揮発性半導体記憶装置。

【請求項2】 前記溝の側壁面と、前記半導体基板において前記浮遊電極の下に位置する前記半導体基板の主表面との間の接続部では、前記半導体基板の表面が曲面状となっている、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記浮遊電極が延在する方向において、前記溝の幅は2つの前記溝の間の距離より小さい、請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 前記半導体基板は、前記浮遊電極、前記絶縁膜および前記制御電極を含むメモリセルが形成されたメモリセル領域と、前記メモリセル領域以外の領域である周辺回路領域とを含み、

前記周辺回路領域では、前記半導体基板の主表面に他の溝が形成され、

前記他の溝の内部に形成された他の分離絶縁体をさらに備え、

前記半導体基板の主表面に対してほぼ垂直な方向において、前記周辺回路領域に配置された前記他の分離絶縁体の厚みは、前記メモリセル領域に配置された分離絶縁体の厚みより厚い、請求項1～3のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項5】 半導体基板の主表面に間隔を隔てて2つの溝を形成する工程と、

前記溝の内部に、前記半導体基板の主表面より上方に突出した突出部分を有する分離絶縁体を形成する工程と、

前記分離絶縁体の前記突出部分を等方性エッティングにより部分的に除去することにより、前記突出部分の幅を前記溝の幅より小さくする工程と、

前記突出部分の幅を前記溝の幅より小さくする工程の後、前記半導体基板の主表面において、前記2つの分離絶縁体の間に位置する領域上から前記分離絶縁体上にまで延在するように導電体膜を形成する工程と、

前記導電体膜の上部表面層を、前記分離絶縁体の上部が露出するまで除去することにより、前記導電体膜からなり、平坦な上部表面を有するとともに、前記分離絶縁体の間に位置する浮遊電極を形成する工程と、

前記浮遊電極に隣接する前記分離絶縁体の上部をエッティングにより除去することにより、前記浮遊電極の側面を露出させる工程とを備える、不揮発性半導体記憶装置の製造方法。

【請求項6】 前記2つの溝を形成する工程は、

前記半導体基板の主表面上に、バッファ導電体膜層を含む積層膜からなり、前記2つの溝が形成されるべき領域上に位置する開口パターンを有するマスク層を形成する工程と、

前記マスク層をマスクとして、前記半導体基板の主表面を異方性エッティングにより部分的に除去することにより、前記2つの溝を形成する工程とを含み、

前記マスク層においては、前記バッファ導電体膜層の一部が前記開口パターンを構成する側面に露出しており、

前記分離絶縁体を形成する工程は、

前記マスク層が存在する状態で前記2つの溝の壁面を熱酸化することにより、前記分離絶縁体を構成する第1の酸化膜を形成する工程と、

前記第1の酸化膜上に、前記2つの溝を充填するように、前記分離絶縁体を構成する第2の酸化膜を形成する工程とを含み、

前記突出部分の幅を前記溝の幅より小さくする工程は、前記マスク層を除去する工程を含む、請求項5に記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 前記2つの溝を形成する工程は、

前記半導体基板の主表面上に、前記2つの溝が形成されるべき領域上に位置する開口パターンを有するマスク層を形成する工程と、

前記マスク層において、前記開口パターンを構成する側壁上にサイドウォール膜を形成する工程と、

前記マスク層および前記サイドウォール膜をマスクとして、前記半導体基板の主表面を異方性エッチングにより部分的に除去することにより、前記2つの溝を形成する工程とを含む、請求項5に記載の不揮発性半導体記憶装置の製造方法。

【請求項8】 前記半導体基板は、前記浮遊電極を有するメモリセルが形成されたメモリセル領域と、前記メモリセル領域以外の領域である周辺回路領域とを含み、

前記周辺回路領域において、前記半導体基板の主表面に他の溝を形成する工程と、

前記他の溝の内部に、前記半導体基板の主表面より上方に突出した突出部分を有する他の分離絶縁体を形成する工程とを備え、

前記浮遊電極の側面を露出させる工程では、前記他の分離絶縁体上に保護膜を形成した状態で、前記分離絶縁体の上部をエッチングにより除去する、請求項5～7のいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置およびその製造方法に関し、より特定的には、電気的特性を向上させることが可能な不揮発性半導体記憶装置およびその製造方法に関する。

##### 【0002】

##### 【従来の技術】

従来、半導体装置の一例として不揮発性半導体記憶装置が知られている（たとえば、特許文献1参照）。

##### 【0003】

上記特許文献1の図3に開示された不揮発性半導体記憶装置では、半導体基板

の主表面に、所定の間隔を隔てて形成された素子分離用トレンチの内部に、CVD酸化膜からなる分離酸化膜が形成されている。この分離酸化膜の間には、半導体基板の主表面上にトンネル酸化膜を介して浮遊ゲート電極が形成されている。浮遊ゲート電極上には、ONO膜を介して制御ゲート電極が形成されている。

## 【0004】

## 【特許文献1】

特開平8-64700号公報（第3図～第6図）

## 【0005】

## 【発明が解決しようとする課題】

しかし、上述した従来の不揮発性半導体記憶装置では、浮遊ゲート電極の上部表面に、浮遊ゲート電極の下地の構造を反映した凹凸部が存在している。そのため、浮遊ゲート電極の凸部（たとえば浮遊ゲート電極の端部など）において、ONO膜の膜厚や膜質が他の部分と異なる、あるいは浮遊ゲート電極の凸部において電界集中が発生することがある。このような場合、不揮発性半導体記憶装置の電気的特性が劣化することになっていた。

## 【0006】

この発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、優れた電気的特性を有する不揮発性半導体記憶装置およびその製造方法を提供することである。

## 【0007】

## 【課題を解決するための手段】

この発明に従った不揮発性半導体記憶装置は、半導体基板と、分離絶縁体と、浮遊電極と、絶縁膜と、制御電極とを備える。半導体基板は、主表面において間隔を隔てて配置された2つの溝を有する。分離絶縁体は、溝の内部を充填するよう形成されている。分離絶縁体における上部表面の端部の形状は、半導体基板側（下側）に凸となっている曲面状である。浮遊電極は、2つの溝の間に位置する半導体基板の主表面上から、2つの分離絶縁体上にまで延在する。浮遊電極は平坦な上部表面を有する。絶縁膜は、浮遊電極の上部表面上から、分離絶縁体上に位置する浮遊電極の側面上にまで延在するように形成されている。制御電極は

、浮遊電極の上部表面上から浮遊電極の側面上にまで延在するように、絶縁膜上に形成されている。

## 【0008】

## 【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

## 【0009】

## (実施の形態1)

図1は、本発明による半導体装置の実施の形態1を示す断面模式図である。図1を参照して、本発明による半導体装置の実施の形態1を説明する。

## 【0010】

図1に示すように、本発明による半導体装置は半導体記憶装置であって、半導体基板1の主表面において、分離酸化膜により囲まれた素子形成領域を有する。半導体装置は、この素子形成領域において、間隔を隔てて形成された導電性不純物拡散領域（図示せず）と、この導電性不純物拡散領域の間に位置する領域において、半導体基板1の主表面上に形成されたトンネル絶縁膜6a～6cと、トンネル絶縁膜上に形成されたフローティングゲート電極7a～7cと、フローティングゲート電極7a～7c上に形成されたONO膜8と、ONO膜8上に形成されたコントロールゲート電極9とを備える。図1に示した半導体装置は、いわゆるフラッシュメモリである。

## 【0011】

より具体的には、図1に示すように、半導体基板1の主表面には、素子形成領域を囲むように溝2a、2bが形成されている。溝2a、2bの内壁面上には酸化膜3が形成されている。酸化膜3上には、溝2a、2bの内部を充填するよう、HDP-CVD (high density plasma - chemical vapor deposition) 酸化膜4が形成されている。酸化膜3とHDP-CVD酸化膜4とから分離酸化膜5a、5bが構成される。分離酸化膜5a、5bの上部表面の端部33の形状は、下に凸（半導体基板1側に凸）の曲面状となっている。

## 【0012】

半導体基板1の主表面上における素子形成領域では、半導体基板1の主表面上にトンネル絶縁膜6a～6cが形成されている。トンネル絶縁膜6a～6c上から、分離酸化膜5a、5bの端部上にまで延在するように導電体からなるフローティングゲート電極7a～7cが形成されている。フローティングゲート電極7a～7c上には絶縁膜であるONO膜8が形成されている。ONO膜8は、フローティングゲート電極7a～7c側から酸化膜、窒化膜、酸化膜という3層の絶縁膜からなる積層膜である。ONO膜8は、フローティングゲート電極7a～7cの上部表面上から側面上にまで延在する。また、ONO膜8は、フローティングゲート電極7a～7cの側面上から分離酸化膜5a、5bの上部表面の一部分上にまで延在するように形成されている。

## 【0013】

フローティングゲート電極7a～7cの上部表面は、半導体基板1の主表面とほぼ平行な方向に延びるように平坦化されている。フローティングゲート電極7a～7cの上部表面の端部に位置する角部31は、その頂角がほぼ90°となっている。そして、ONO膜8上には、コントロールゲート電極9が形成されている。コントロールゲート電極9は、フローティングゲート電極7a～7cの上部表面上から、フローティングゲート電極7a～7cの側面上に位置する部分にまで延在するように形成されている。なお、分離酸化膜5a、5bの幅L1はたとえば200nmとしてもよく、この分離酸化膜5a、5bの間に位置する素子形成領域の幅L2はたとえば100nmとしてもよい。

## 【0014】

上述した本発明に従った半導体装置の一例の特徴的な構成を要約すれば、図1に示した半導体装置は、不揮発性半導体記憶装置であって、半導体基板1と、分離絶縁体としての分離酸化膜5a、5bと、浮遊電極としてのフローティングゲート電極7a～7cと、絶縁膜としてのONO膜8と、制御電極としてのコントロールゲート電極9とを備える。半導体基板1は、主表面において間隔を隔てて配置された2つの溝2a、2bを有する。分離絶縁膜5a、5bは、溝2a、2bの内部を充填するように形成されている。分離絶縁膜5a、5bの上部表面の端部の領域33の形状は、半導体基板1側（下側）に凸となっている曲面状であ

る。フローティングゲート電極7bは、2つの溝2a、2bの間に位置する半導体基板1の主表面上から、2つの分離酸化膜5a、5b上にまで延在する。フローティングゲート電極7a～7cは平坦な上部表面を有する。ONO膜8は、フローティングゲート電極7a～7cの上部表面上から、分離酸化膜5a、5b上に位置するフローティングゲート電極7a～7cの側面上にまで延在するように形成されている。コントロールゲート電極9は、フローティングゲート電極7a～7cの上部表面上からフローティングゲート電極7a～7cの側面上にまで延在するように、ONO膜8上に形成されている。

## 【0015】

このようにすれば、フローティングゲート電極7a～7cの平坦な上部表面上にONO膜8を形成できるので、フローティングゲート電極7a～7cの上部表面に凹凸があることに起因して絶縁膜としてのONO膜8の厚みや特性が局所的に変化することを抑制できる。このため、例えば図1に示す領域30に対応する部分で従来問題となっていた、コントロールゲート電極9とフローティングゲート電極7a～7cとの間で、ONO膜8の厚みなどの変化に起因して局所的な電界集中が起きることを抑制できる。そのため、上述した電界集中に起因して半導体装置の電気的特性が劣化することを抑制できる。この結果、高い信頼性を有し、長寿命な半導体装置を実現できる。

## 【0016】

また、分離酸化膜5a、5b上にまでフローティングゲート電極7a～7cが延在するように形成されているので、コントロールゲート電極9と対向するフローティングゲート電極7a～7cの表面積を大きくできる。さらにフローティングゲート電極7a～7cの上部表面上から側面上にまでONO膜8を介してコントロールゲート電極制御電極が配置されているので、コントロールゲート電極9とフローティングゲート電極7a～7cとの間の容量(C1)の値を大きくすることができる。このため、コントロールゲート電極9とフローティングゲート電極7a～7cとの間の容量(C1)に比例するカップリング比(α)を大きくすることができる。

## 【0017】

ここで、カップリング比 ( $\alpha$ ) は、フローティングゲート電極 7 a～7 c と半導体基板 1 との間の容量 (C 2) と上述したコントロールゲート電極 9 とフローティングゲート電極 7 a～7 c との間の容量 (C 1) とを用いて、 $\alpha = C_1 / (C_1 + C_2)$  と表される。このカップリング比 ( $\alpha$ ) を大きくすれば、コントロールゲート電極 9 に印加する信号の電圧を低減することができる。したがって、本発明による半導体装置では、コントロールゲート電極 9 に印加する信号の電圧を低減できる。

## 【0018】

また、図 1 に示した半導体装置において、溝 2 a、2 b の側壁面と、半導体基板 1 においてフローティングゲート電極 7 a～7 c の下に位置する半導体基板 1 の主表面との間の接続部 3 2 では、半導体基板 1 の表面が曲面状となっていてよい。このような接続部 3 2 の効果を、図 4 7 および図 4 8 を参照しながら説明する。図 4 7 および図 4 8 は、図 1 に示した半導体装置の効果を説明するための参考図である。

## 【0019】

図 4 7 に示すように、半導体基板 1 においてフローティングゲート電極 7 b の下に位置する半導体基板 1 の主表面と溝 2 a の側壁面との間の接続部 4 0 に角部 4 1 が存在する場合（接続部 4 0 が曲面状でない場合）、この接続部 4 0 においてフローティングゲート電極 7 b と半導体基板 1 との間の絶縁性が低下する。これは、角部 4 1 において電界集中が発生するためである。しかし、図 4 8 に示すように、接続部 3 2 において半導体基板 1 の表面が曲面状となつていれば（つまり、図 1 に示した半導体装置のようになつていれば）、この接続部 3 2 において電界集中が発生する危険性を低減できる。つまり、フローティングゲート電極 7 b と半導体基板 1 との間の絶縁性を向上させることができる。

## 【0020】

また、図 4 9 に示すように、本発明による半導体装置では、分離酸化膜 5 a の上部表面の端部の領域 3 3 の形状が、半導体基板 1 側（下側）に凸となった曲面状である。ここで、図 4 9 は、図 1 に示した半導体装置の効果を説明するための参考図であつて、図 1 の部分拡大模式図である。

## 【0021】

図49に示すように、本発明による半導体装置では、分離酸化膜5aの上部表面の端部の領域33が下に凸の曲面状となっているので、分離酸化膜5aを構成するHDP-CVD酸化膜4の上部表面とトンネル絶縁膜6bの上部表面との成す角度 $\alpha_2$ が、図48に示した半導体装置におけるHDP-CVD酸化膜4の上部表面とトンネル絶縁膜6bの上部表面との成す角度 $\alpha_1$ より大きくなっている。なお、図48に示した半導体装置では、HDP-CVD酸化膜4の上部表面の端部の領域33の断面形状がほぼ直線状になっている。つまり、図49に示すように、分離酸化膜5aの上部表面の領域33が下に凸の曲面状となることにより、HDP-CVD酸化膜4の上部表面とトンネル絶縁膜6bの上部表面との成す角度 $\alpha_2$ を大きくできる。このため、接続部32近傍に位置するフローティングゲート電極7bの下部における突出部34の頂角（角度 $\alpha_2$ ）を鈍角とすることができる。この結果、フローティングゲート電極7a～7cの下部表面において、上記接続部32近傍に位置する部分の突出部34の頂角が鋭角となることを防止できる。そのため、この頂角が鋭角となった突出部34において電界集中が発生することを抑制できる（つまり、トンネル絶縁膜6bの絶縁性を向上させることができる）。したがって、この電界集中に起因する半導体装置の信頼性の低下や短寿命化を抑制できる。

## 【0022】

次に、図1に示した半導体装置（不揮発性半導体記憶装置）の製造方法を、図2～図8を参照して説明する。図2～図8は、図1に示した半導体装置の製造方法を説明するための断面模式図である。

## 【0023】

まず、半導体基板1の主表面上にシリコン酸化膜（図示せず）を形成する。このシリコン酸化膜上にシリコン窒化膜（図示せず）を形成する。このシリコン窒化膜およびシリコン酸化膜上に写真製版加工プロセスを利用してパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして、エッチングによりシリコン窒化膜およびシリコン酸化膜を部分的に除去する。その後レジストパターンを除去する。このようにして、半導体基板1の主表面上に、パターンを有する

シリコン酸化膜10（図2参照）およびシリコン窒化膜11（図2参照）を形成する。このシリコン酸化膜10およびシリコン窒化膜11をマスクとして用いて、ドライエッチングにより半導体基板1を部分的に除去する。なお、ここではドライエッチング以外の他の異方性エッチングを用いてもよい。このようにして、半導体基板1の主表面に間隔を隔てて2つの溝2a、2bを形成する工程を実施する。この結果、図2に示すように、半導体基板1の主表面に溝2a、2b（図2参照）を形成することができる。

## 【0024】

次に、半導体基板1の主表面における溝2a、2bの内壁面を熱酸化することにより酸化膜3（図3参照）を形成する。このようにして、図3に示すような構造を得る。なお、この酸化膜3は、半導体基板1におけるエッティングストレスの緩和を目的として形成される。

## 【0025】

次に、図4に示すように、酸化膜3上において溝2a、2bの内部を充填するようにHDP-CVD酸化膜4を形成する。このHDP-CVD酸化膜4は、溝2a、2bの内部を充填するとともにシリコン窒化膜11の上部表面上にまで延在するように形成される。

## 【0026】

次に、CMP法（Chemical Mechanical Polishing）により、シリコン窒化膜11の上部表面上に位置するHDP-CVD酸化膜4の部分を除去するとともに、HDP-CVD酸化膜4の上部表面12（図5参照）を平坦化する。なお、CMP法に代えて、他の平坦化プロセスを用いてもよい。この結果、HDP-CVD酸化膜4および酸化膜3からなる分離酸化膜5a、5b（図5参照）を得ることができる。このように、溝2a、2bの内部に、半導体基板1の主表面より上方に突出した突出部分を有する分離絶縁体としての分離酸化膜5a、5bを形成する工程を実施することにより、図5に示すような構造を得る。

## 【0027】

次に、ウエットエッチングによりシリコン窒化膜11（図5参照）を除去する。ここで、ウエットエッチングのエッチャント（エッティング液）としては熱リン

酸などを用いることができる。その後、エッチャントとしてフッ酸などを用いた等方性エッチングにより、図6に示すようにHDP-CVD酸化膜4の上部および半導体基板1の主表面上に形成されていた酸化膜3（図5参照）を除去する。この結果、図6の点線で示したように、分離酸化膜5a、5bの上部が部分的に除去される。この等方性エッチングにより、分離酸化膜5a、5bの上部の中央部が半導体基板1の主表面上に突出した状態となる。また、この等方性エッティングにより、半導体基板1の素子形成領域における主表面は露出した状態となる。このようにして、分離酸化膜5a、5bの上部である突出部分を等方性エッティングにより部分的に除去することにより、突出部分の幅を溝2a、2bの幅より小さくする工程を実施する。

## 【0028】

次に、半導体基板1の素子形成領域における主表面上にトンネル絶縁膜6a～6c（図7参照）を形成する。そして、トンネル絶縁膜6a～6c上から分離酸化膜5a、5b上にまで延在するように、導電体膜であるポリシリコン膜14（図7参照）を形成する。このようにして、分離酸化膜5a、5bの突出部分の幅を溝2a、2bの幅より小さくする工程の後、半導体基板1の主表面において2つの分離酸化膜5a、5bの間に位置する領域上から、分離酸化膜5a、5b上にまで延在するように導電体膜であるポリシリコン膜14を形成する工程を実施する。

## 【0029】

そして、このポリシリコン膜14の上部表面層をCMP法などの平坦化プロセスにより部分的に除去する。この結果、図7に示すように、分離酸化膜5a、5bの上部表面が露出するまでポリシリコン膜14の上部表面16が矢印15で示すように後退する。これにより、分離酸化膜5a、5bに分離されたフローティングゲート電極7a～7cを得ることができる。このようにして、導電体膜としてのポリシリコン膜14の上部表面層を、分離酸化膜5a、5bの上部が露出するまで除去することにより、ポリシリコン膜14からなり、平坦な上部表面を有するとともに、分離酸化膜5a、5bの間に位置するフローティングゲート電極7bを形成する工程を実施する。なお、ポリシリコン膜14に代えてアモルファ

スシリコン膜を形成してもよい。

## 【0030】

そして、フローティングゲート電極7a～7cの間に位置する分離酸化膜5a、5bの上部を等方性エッチングにより除去する。この等方性エッチングにおいて用いるエッチャントとしてはたとえばフッ酸などを用いることができる。この結果、図8に示すように、フローティングゲート電極7a～7cの側面を露出させることができる。このようにして、フローティングゲート電極7a～7cに隣接する分離酸化膜5a、5bの上部をエッチングにより除去することにより、フローティングゲート電極7a～7cの側面を露出させる工程を実施する。

## 【0031】

この後、フローティングゲート電極7a～7cの上部表面および側面上から分離酸化膜5a、5bの上部表面上にまで延在するONO膜8（図1参照）を形成する。さらに、このONO膜8上にコントロールゲート電極9（図1参照）を形成する。この結果、図1に示すような構造の半導体装置としてのフラッシュメモリを得ることができる。

## 【0032】

図2～図8に示した半導体装置の製造方法によれば、写真製版加工を用いずに、分離酸化膜5a、5bの間にフローティングゲート電極7a～7cを自己整合的に形成できる。したがって、写真製版加工におけるマスクアライメントずれなどに起因して、フローティングゲート電極7a～7cを設計位置に正確に形成できないといった問題の発生を抑制できる。また、平坦な上部表面を有するフローティングゲート電極7a～7cを容易に形成できる。

## 【0033】

また、分離酸化膜5a、5bの突出部分の幅を溝2a、2bの幅より小さくすることにより、分離酸化膜5a、5bの間に位置するフローティングゲート電極7a～7cの端部を分離酸化膜5a、5b上に乗り上げた状態にすることができる。このため、フローティングゲート電極7a～7cの幅を溝2a、2bの間の幅より容易に広げることができる。さらに、図8に示すように分離酸化膜5a、5bの上部を除去することによりフローティングゲート電極7a～7cの側面を

露出させている。このため、フローティングゲート電極7a～7cの上部表面上から側面上にまで延在するようにONO膜8を介してコントロールゲート電極9を配置できる。したがって、コントロールゲート電極9とフローティングゲート電極7a～7cとの間の容量(C1)の値を大きくできる。この結果、カップリング比(α)を大きくすることができるので、フラッシュメモリの動作特性向上させることができる。

## 【0034】

## (実施の形態2)

図9は、本発明による半導体装置の実施の形態2を示す断面模式図である。図9は図1に対応する。図10は、図9に示した半導体装置の部分拡大断面模式図である。図9および図10を参照して、本発明による半導体装置の実施の形態2を説明する。

## 【0035】

図9および図10に示した半導体装置は、基本的には図1に示した半導体装置と同様の構造を備えるが、分離酸化膜5a、5bと半導体基板1の素子形成領域との境界部の形状、すなわち溝2a、2bの上部(エッジ部17)の形状が異なる。このエッジ部17の形状を、図10を用いてより詳しく説明する。

## 【0036】

図10に示すように、分離酸化膜5aの端部であるエッジ部17は、半導体基板1の主表面を構成する平坦部18と、溝2aの側面を構成する直線状部20との間を曲面状につなぐ曲面部19により構成されている。なお、直線状部20は、半導体基板1の主表面に対してほぼ垂直な方向における溝2aの断面において、溝2aの側壁のうち断面の形状がほぼ直線状となっている部分である。曲面部19の幅Lは、5nm以上40nm以下、より好ましくは10nm以上30nm以下である。

## 【0037】

図9および図10に示した本発明に従った半導体装置の一例の特徴的な構成を要約すれば、半導体装置は不揮発性半導体記憶装置であって、図1に示した半導体装置の特徴的な構成に加え、溝2a、2bの側壁面と、半導体基板1において

フローティングゲート電極7a～7cの下に位置する半導体基板1の主表面との間の接続部32において、半導体基板1の表面がより曲率の大きな曲面状となっているという特徴を有する。

## 【0038】

このようにすれば、図1に示した半導体装置によって得られる効果に加え、フローティングゲート電極7a～7cの下部表面において、上記接続部32上に位置する部分の突出部34の頂角 $\beta$ が鋭角となることをより確実に防止できるので、この突出部34において電界集中が発生することを抑制できる。したがって、電界集中に起因する半導体装置の信頼性の低下や短寿命化をより確実に抑制できる。

## 【0039】

また、図9および図10に示した半導体装置において、すでに述べたように曲面状となっている半導体基板1の表面の部分である曲面部19は、半導体基板1の主表面の延びる方向に沿った方向における幅Lが5nm以上40nm以下である。

## 【0040】

このように、曲面部19の幅Lの値を上述のような数値範囲の値とすれば、溝2a、2bに隣接する部分において半導体基板1の平坦な主表面を得る事ができるとともに、溝2a、2bの側壁面と半導体基板1の主表面との接続部34を十分滑らかな曲面とすることができます。

## 【0041】

図11～図17は、図9および図10に示した半導体装置（不揮発性半導体記憶装置）の製造方法を説明するための断面模式図である。図11～図17を参照して、図9および図10に示した半導体装置の製造方法を説明する。

## 【0042】

まず、半導体基板1（図11参照）の主表面上にシリコン酸化膜（図示せず）を形成する。このシリコン酸化膜上にポリシリコン膜（図示せず）を形成する。ポリシリコン膜の厚みとしては、たとえば40nm以下とすることができる。また、ポリシリコン膜の厚みは、好ましくは10nm以上30nm以下、より好ま

しくは15nm以上25nm以下である。このポリシリコン膜上にシリコン窒化膜（図示せず）を形成する。なお、上述したポリシリコン膜に代えて、アモルファスシリコン膜を形成してもよい。

## 【0043】

このシリコン窒化膜上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして用いて、シリコン窒化膜、ポリシリコン膜およびシリコン酸化膜を部分的に除去する。その後レジスト膜を除去する。この結果、半導体基板1の主表面上に開口パターンを有するシリコン酸化膜10、ポリシリコン膜21およびシリコン窒化膜11からなるマスク層としての積層膜（図11参照）が形成される。このようにして、半導体基板1の主表面上に、バッファ導電体膜層としてのポリシリコン膜21を含む積層膜からなり、2つの溝2a、2bが形成されるべき領域上に位置する開口パターンを有するマスク層を形成する工程が実施される。マスク層としての積層膜においては、バッファ導電体膜層としてのポリシリコン膜21の一部が開口パターンに面する側面に露出している。

## 【0044】

この積層膜をマスクとして用いて、異方性エッチングにより半導体基板1の主表面を部分的に除去する。この結果、半導体基板1の主表面に2つの溝としての溝2a、2b（図11参照）が形成される。このようにして、図11に示した構造を得る。

## 【0045】

次に、図3に示した工程と同様に、溝2a、2bの内壁面を熱酸化することにより第1の酸化膜としての酸化膜3（図12参照）を形成する。また、第1の酸化膜を形成する工程としての熱酸化工程においては、溝2a、2bに面するポリシリコン膜21（図11参照）の端部も同様に酸化される。この結果、図12に示すように、溝2a、2bの上部に位置するエッジ部17においては、半導体基板1とシリコン窒化膜11との界面領域に、溝2a、2bに面する端部から内側へシリコン酸化膜が延びて、いわゆるバーズピークが形成される。このバーズピークの形成に起因して、酸化膜3と接する半導体基板1の表面には、その形状が曲面状となった部分であるエッジ部17が形成される。

## 【0046】

次に、図4に示した工程と同様に、溝2a、2bの内部を充填するように、酸化膜3上に第2の酸化膜としてのHDP-CVD酸化膜4（図13参照）を形成する。HDP-CVD酸化膜4は、溝2a、2bの内部を充填するとともにシリコン窒化膜11の上部表面上にまで延在するように形成される。この結果、図13に示すような構造を得る。

## 【0047】

次に、図5に示した工程と同様に、CMP法などを用いて、HDP-CVD酸化膜4（図13参照）の上部表面層を除去する。この結果、シリコン窒化膜11の上部表面上に位置するHDP-CVD酸化膜4の部分が除去されるとともに、HDP-CVD酸化膜4の上部表面12（図14参照）が平坦化される。このようにして、図14に示した構造を得る。

## 【0048】

次に、ウエットエッティングによりシリコン窒化膜11（図14参照）および残存するポリシリコン膜21（図11参照）を除去する。そして、フッ酸などのエッチャントを用いて、分離酸化膜5a、5bの上部を等方的にエッティングにより除去する。この結果、図15に示すように、分離酸化膜5a、5bはエッティング前の点線で示した形状から、矢印で示すように表面層が除去される。そして、分離酸化膜5a、5bは、エッティング後には実線で示したような形状となる。また、半導体基板1の主表面上に形成されていたシリコン酸化膜10（図11参照）もエッティングにより除去される。このようにして、分離酸化膜5a、5bの上部である突出部分の幅を溝2a、2bの幅より小さくする工程を実施するとともに、マスク層としての積層膜（半導体基板1の主表面上に形成されていたシリコン酸化膜10を含む積層膜）を除去する工程を実施する。この結果、図15に示したような構造を得る。

## 【0049】

このとき、溝2a、2bの上部のエッジ部17においては、図12に示した工程において示したように、半導体基板1の表面形状が、バーズピークに起因する曲面状の形状となっている。このため、後述するように半導体装置におけるエッ

ジ部17での電荷集中が抑制される。また、図15に示した等方性エッティングにおいて、エッティング後のエッジ部17の形状が安定する。具体的には、図15で示した等方性エッティングの際、エッティングにより除去される分離酸化膜5a、5bの表面層の厚みがエッティング条件などにより変動しても、エッジ部17が曲面状となっているので、半導体基板1の深さ方向における分離酸化膜5a、5bの端部の位置（エッジ部17での半導体基板1の主表面と分離酸化膜5a、5bの上部表面との接触部の位置）の変動量を比較的小さくできる。

## 【0050】

次に、図7に示した工程と同様に、半導体基板1の主表面の活性領域において半導体基板1の主表面上にシリコン酸化膜からなるトンネル絶縁膜6a～6c（図16参照）を形成する。そして、トンネル絶縁膜6a～6c上に、分離酸化膜5a、5bを埋込むように、導電体であるポリシリコン膜14（図16参照）を形成する。このポリシリコン膜14の上部表面層をCMP法などを用いて除去する。この結果、図16の矢印に示したように、ポリシリコン膜14の上部表面16が実線で示した位置まで後退する。

## 【0051】

また、このとき、分離酸化膜5a、5bの上部表面は露出した状態となっている。このため、ポリシリコン膜14は分離酸化膜5a、5bによって分離される。この結果、ポリシリコン膜14からフローティングゲート電極7a～7cが形成される。このようにして、図16に示すような構造を得る。

## 【0052】

次に、図8に示した工程と同様に、ウエットエッティングなどの等方性エッティングによって分離酸化膜5a、5bの上部を除去する。この結果、フローティングゲート電極7a～7cの側面が露出する。このようにして、図17に示すような構造を得る。

## 【0053】

この後、ONO膜8（図9参照）およびコントロールゲート電極9（図9参照）を形成することにより、図9および図10に示した半導体装置を得ることができる。

## 【0054】

(実施の形態3)

図18は、本発明による半導体装置の実施の形態3を示す断面模式図である。

図18を参照して、本発明による半導体装置の実施の形態3を説明する。

## 【0055】

図18に示すように、半導体装置は不揮発性半導体記憶装置であって、フローティングゲート電極7a～7cおよびコントロールゲート電極9などが形成されたメモリセル領域と、ゲート電極23a、23b、ゲート絶縁膜22a、22bおよびソース／ドレイン領域（図示せず）からなる電界効果トランジスタが形成された周辺回路領域とを備える。メモリセル領域の構造は、図1に示した本発明による半導体装置の実施の形態1と同様である。

## 【0056】

周辺回路領域では、半導体基板1の主表面上に溝2c、2dが形成されている。この溝2c、2dの内壁面上には酸化膜3が形成されている。酸化膜3上には、溝2c、2dの内部を充填するとともに、半導体基板1の主表面上にまで延在するようHDP-CVD酸化膜4が形成されている。酸化膜3とHDP-CVD酸化膜4とから分離酸化膜5c、5dが構成される。分離酸化膜5c、5dにより分離された素子形成領域においては、半導体基板1の主表面上にゲート絶縁膜22a、22bが形成されている。なお、このゲート絶縁膜22a、22b下のチャネル領域を介して、図18の紙面に垂直な方向において対向するように間隔を隔ててソース／ドレイン領域（図示せず）が形成されている。ゲート絶縁膜22a、22b上にはゲート電極23a、23bが形成されている。

## 【0057】

図18からもわかるように、周辺回路領域における分離酸化膜5c、5dの厚みT2は、メモリセル領域における分離酸化膜5a、5bの厚みT1よりも厚くなっている。

## 【0058】

図18に示した本発明に従った半導体装置の一例の特徴的な構成を要約すれば、半導体装置は、不揮発性半導体記憶装置であって、図1に示した半導体装置の

特徴的な構成に加え、半導体基板1がメモリセル領域と周辺回路領域とを含むという特徴を有する。図18に示した半導体装置において、メモリセル領域では、フローティングゲート電極7a～7c、絶縁膜としてのONO膜8およびコントロールゲート電極9を含むフラッシュメモリのメモリセルが形成されている。周辺回路領域は、メモリセル領域以外の領域である。周辺回路領域では、半導体基板1の主表面に他の溝としての溝2c、2dが形成されている。上記半導体装置は、溝2c、2dの内部に形成された他の分離絶縁体としての分離酸化膜5c、5dをさらに備えている。半導体基板1の主表面に対してほぼ垂直な方向において、周辺回路領域に配置された分離酸化膜5c、5dの厚みT2は、メモリセル領域に配置された分離絶縁体としての分離酸化膜5a、5bの厚みT1より厚い。

## 【0059】

このようにすれば、図1に示した半導体装置により得られる効果に加えて、周辺回路領域における分離酸化膜5c、5dの接合耐圧である分離耐圧を高くすることができる。これは、分離酸化膜5cの厚みT2が厚いことにより、ゲート電極23a、23b形成後の不純物注入があっても、分離酸化膜5cに接する半導体基板1に不純物が注入されにくくなることによる。この結果、半導体装置の信頼性を向上させることができる。

## 【0060】

図19～図28は、図18に示した半導体装置の製造方法を説明するための断面模式図である。図19～図28を参照して、図18に示した半導体装置の製造方法を説明する。

## 【0061】

まず、半導体基板1(図19参照)のメモリセル領域および周辺回路領域において、半導体基板1の主表面上にシリコン酸化膜(図示せず)を形成する。このシリコン酸化膜上にシリコン窒化膜(図示せず)を形成する。このシリコン窒化膜上にパターンを有するレジスト(図示せず)を形成する。このレジスト膜をマスクとしてシリコン窒化膜およびシリコン酸化膜をドライエッチングなどの異方性エッチングにより部分的に除去する。その後レジスト膜を除去する。

## 【0062】

この結果、半導体基板1の主表面上に開口パターンを有するシリコン酸化膜10（図19参照）およびシリコン窒化膜11（図19参照）が形成される。このシリコン窒化膜11およびシリコン酸化膜10をマスクとして用いて、異方性エッチングにより半導体基板1の主表面を部分的に除去する。この結果、図19に示すように、半導体基板1の主表面に溝2a～2dを形成できる。このようにして、半導体基板1の主表面に2つの溝2a、2bを形成する工程と同時に、周辺回路領域において、半導体基板1の主表面に他の溝としての溝2c、2dを形成する工程が実施される。

## 【0063】

次に、図3に示した工程と同様に、溝2a～2dの内壁面を熱酸化することにより酸化膜3（図20参照）を形成する。このようにして、図20に示すような構造を得る。

## 【0064】

次に、図21に示すように、酸化膜3上において溝2a～2dの内部を充填するようにHDP-CVD酸化膜4を形成する。HDP-CVD酸化膜4は、溝2a～2dの内部からシリコン窒化膜11の上部表面上にまで延在するように形成されている。

## 【0065】

次に、CMP法を用いて、HDP-CVD酸化膜4の上部表面層を除去する。このCMP工程により、図22に示すように、シリコン窒化膜11の上部表面が露出するとともに、HDP-CVD酸化膜4の上部表面12が平坦化される。この結果、溝2a～2dの内部にそれぞれ酸化膜3とHDP-CVD酸化膜4とかなる分離酸化膜5a～5dが形成される。このようにして、分離絶縁体としての分離酸化膜5a、5bを形成する工程と、溝2c、2dの内部に、半導体基板1の主表面より上方に突出した突出部分を有する他の分離絶縁体としての分離酸化膜5c、5dを形成する工程とが実施される。

## 【0066】

次に、ウエットエッチングによりシリコン窒化膜11（図22参照）を除去す

る。そして、周辺回路領域において、シリコン酸化膜10および分離酸化膜5c、5d上に保護膜としてのレジスト膜24（図23参照）を形成する。この状態で、図6に示した工程と同様に、メモリセル領域において分離酸化膜5a、5bの上部をウエットエッティングなどの等方性エッティングにより部分的に除去する。この結果、図23の点線で示したような形状に分離酸化膜5a、5bの上部がエッティングされる。また、このとき素子形成領域においては、半導体基板1の主表面上に位置していたシリコン酸化膜10が除去される。

## 【0067】

このようにすれば、保護膜としてのレジスト膜24を形成しておくことで、周辺回路領域における分離酸化膜5c、5dがエッティングされることを防止できる。したがって、半導体基板1の主表面に対してほぼ垂直な方向において、分離酸化膜5c、5dの厚みT2をメモリセル領域の分離酸化膜5a、5bの厚みT1より厚くすることができる。

## 【0068】

次に、周辺回路領域において、レジスト膜24（図23参照）および半導体基板1の主表面上に位置していたシリコン酸化膜10（図23参照）を除去する。そして、メモリセル領域および周辺回路領域において、半導体基板1の露出した主表面上にトンネル絶縁膜6a～6e（図24参照）を形成する。トンネル絶縁膜6a～6e上に、分離酸化膜5a～5dを埋込むようにポリシリコン膜14（図24参照）を形成する。

## 【0069】

その後、CMP法を用いて、ポリシリコン膜14の上部表面層を除去する。このため、図24の実線で示すように、分離酸化膜5a～5dの上部表面が露出するとともに、ポリシリコン膜14の上部表面16が実線で示す位置にまで後退する。この結果、分離酸化膜5a～5dによって分離されたフローティングゲート電極7a～7cおよび導電体層25が形成される。フローティングゲート電極7a～7cおよび導電体層25の上部表面16は上述したCMP法により平坦化された状態となっている。このようにして、図24に示したような構造を得る。

## 【0070】

次に、周辺回路領域において、分離酸化膜5c、5dおよび導電体層25上にレジスト膜24（図25参照）を形成する。この状態でウエットエッティングを行い、メモリセル領域に位置する分離酸化膜5a、5bの上部を部分的に除去する。この結果、図25に示すように、メモリセル領域においてフローティングゲート電極7a～7cの側面が露出する。

## 【0071】

次に、周辺回路領域に形成されたレジスト膜24（図25参照）を除去する。そして、フローティングゲート電極7a～7cの上部表面上および側面上、分離酸化膜5a、5bの上部表面上、周辺回路領域の分離酸化膜5c、5dおよび導電体層25の上部表面上にONO膜8（図26参照）を形成する。この結果、図26に示すような構造を得る。

## 【0072】

次に、周辺回路領域において、ONO膜8（図26参照）、導電体層25（図26参照）およびトンネル絶縁膜6d、6e（図26参照）をエッティングにより除去する。このとき、メモリセル領域はレジスト膜などによって保護しておくことが好ましい。このようにして、図27に示すように周辺回路領域において素子形成領域に位置する基板表面26を露出させる。

## 【0073】

次に、周辺回路領域において、基板表面26（図27参照）上にゲート絶縁膜22a、22b（図28参照）を形成する。そして、メモリセル領域および周辺回路領域の全体において、ONO膜8（図28参照）およびゲート絶縁膜22a、22bと分離酸化膜5c、5dとの上にコントロールゲート電極9を形成する。そして、周辺回路領域において、コントロールゲート電極9上にレジストパターンを形成し、このレジストパターンをマスクとしてコントロールゲート電極9を部分的に除去することにより、図18に示したようなゲート電極23a、23bを形成する。その後レジスト膜を除去する。

## 【0074】

このようにして、図18に示す半導体装置を得ることができる。

（実施の形態4）

図29は、本発明による半導体装置の実施の形態4を示す断面模式図である。

図29を参照して、本発明による半導体装置の実施の形態4を説明する。

#### 【0075】

図29に示すように、半導体装置は基本的には図18に示した半導体装置と同様の構造を備える。ただし、図29に示した半導体装置においては、分離酸化膜5a～5dの両端に位置するエッジ部17が、図9および図10に示した半導体装置のエッジ部17と同様に曲面状の形状を有している。

#### 【0076】

図29に示した本発明に従った半導体装置の一例は、図9および図10に示した半導体装置の特徴的な構成および図18に示した半導体装置の特徴的な構成を有する。したがって、図29に示した半導体装置は、図9および図10に示した半導体装置および図29に示した半導体装置の特徴的な構成により得られる効果と同様の効果を得ることができる。

#### 【0077】

図30および図31は、図29に示した半導体装置の製造方法を説明するための断面模式図である。図30および図31を参照して、図29に示した半導体装置の製造方法を説明する。

#### 【0078】

まず、半導体基板1(図30参照)の主表面上にシリコン酸化膜(図示せず)を形成する。このシリコン酸化膜上にポリシリコン膜(図示せず)を形成する。このポリシリコン膜上にシリコン窒化膜(図示せず)を形成する。シリコン窒化膜上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして用いて、シリコン窒化膜、ポリシリコン膜およびシリコン酸化膜からなる積層膜を異方性エッチングにより部分的に除去する。その後レジスト膜を除去する。この結果、半導体基板1の主表面上に、開口パターンを有するシリコン窒化膜11(図30参照)、ポリシリコン膜21(図30参照)およびシリコン酸化膜10(図30参照)からなる積層膜を形成できる。この積層膜をマスクとして用いて、異方性エッチングにより半導体基板1の主表面を部分的に除去する。この結果、図30に示すように、半導体基板1の主表面に溝2a～2dを形成することが

できる。このようにして、図30に示すような構造を得る。

## 【0079】

次に、半導体基板1におけるエッティングストレスの緩和を目的として、溝2a～2dの内壁面を熱酸化することにより、酸化膜3（図31参照）を形成する。このとき、ポリシリコン膜21が形成されているため、溝2a～2dの上端部に位置するエッジ部17においては、図12に示した工程と同様に、バーズピークが延びることによって、半導体基板1の表面の形状が曲面状となる。このようにして、図31に示すような構造を得る。

## 【0080】

そして、この後は本発明による半導体装置の実施の形態3の製造方法における図21～図28に示した工程と同様の工程を実施することにより、図29に示した半導体装置を得ることができる。

## 【0081】

（実施の形態5）

図32は、本発明による半導体装置の実施の形態5を示す断面模式図である。図32を参照して、本発明による半導体装置の実施の形態5を説明する。

## 【0082】

図32に示すように、半導体装置は基本的には図9および図10に示した半導体装置と同様な構造を備えるが、分離酸化膜5a、5bが形成された溝2a、2bの幅Wが、図9および図10に示した半導体装置における溝2a、2b（図9参照）の幅よりも狭くなっている点が異なる。図32に示した半導体装置では、溝2a、2bの幅Wは、図32に示した半導体装置を形成する際に用いる写真製版加工工程での最小加工寸法よりも小さくなっている。また、別の見方をすれば、図32に示した半導体装置では、活性領域の幅Wa（溝2a、2bの間の距離）に比べ、分離幅である溝2a、2bの幅Wが狭いため、メモリセル領域での活性領域を有效地に利用できることになる。

## 【0083】

また、図32に示した半導体装置においては、エッジ部17における曲面状部の幅Lが10nm以上100nm以下であることが好ましく、より好ましくは5

0 nm以上60 nm以下である。

## 【0084】

図32に示した本発明に従った半導体装置は、図9および図10に示した半導体装置の特徴的な構成と同様の構成を備えるとともに、以下のような特徴的な構成を備える。すなわち、図32に示した半導体装置において、フローティングゲート電極7a～7cが延在する方向における溝2a、2bの幅Wは、溝2a、2bを形成するために用いられる写真製版加工工程での最小加工寸法より小さい。つまり、フローティングゲート電極7a～7cが延在する方向における溝2a、2bの幅Wは、溝2a、2bの間の距離である活性領域の幅Waより小さい。また、上記半導体装置における、溝2a、2bの側壁面と、半導体基板1においてフローティングゲート電極7a～7cの下に位置する半導体基板1の主表面との間の接続部であるエッジ部17では、半導体基板1の表面が曲面状となっている。曲面状となっている半導体基板1の表面の部分は、半導体基板1の主表面の延びる方向に沿った方向における幅Lが10 nm以上100 nm以下である。

## 【0085】

この場合、図9および図10に示した半導体装置により得られる効果に加えて、半導体基板1の主表面における溝2a、2bの占有面積を小さくできるので、半導体基板1の主表面の単位面積当たりに形成できるフローティングゲート電極7a～7c、ONO膜8およびコントロールゲート電極9を含むメモリセルの数を増やすことができる。したがって、半導体装置の集積度を向上させることができる。

## 【0086】

また、溝2a、2bの幅Wを上述のように小さくした上で、溝2a、2bの上部に位置する上記接続部の幅（曲面状となっている半導体基板の表面の部分である曲面状部の幅L）を上述した数値範囲としているので、溝2a、2bに隣接する部分において半導体基板1の平坦な主表面を得る事ができるとともに、溝2a、2bの側壁面と半導体基板1の主表面との接続部を十分滑らかな曲面とすることができる。

## 【0087】

図33～図42は、図32に示した半導体装置の製造方法を説明するための断面模式図である。図33～図42を参照して、図32に示した半導体装置の製造方法を説明する。

## 【0088】

まず、半導体基板1（図33参照）の主表面上にシリコン酸化膜（図示せず）を形成する。このシリコン酸化膜上にシリコン窒化膜（図示せず）を形成する。シリコン窒化膜上にフォトリソグラフィ法を用いてパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、シリコン窒化膜およびシリコン酸化膜を異方性エッティングによって部分的に除去する。なお、この異方性エッティングでは、半導体基板1の主表面もある程度オーバーエッティングによって除去される。その後、レジストパターンを除去する。このようにして、開口パターンを有するシリコン窒化膜11およびシリコン酸化膜10からなるマスク層としての積層膜を形成する工程を実施する。この結果、図33に示すような構造を得る。

## 【0089】

次に、シリコン窒化膜11の上部表面上から、半導体基板1の露出した主表面上にまで延在するようにTEOS酸化膜などの酸化膜（図示せず）を形成する。その後、異方性エッティングによって酸化膜をエッチバックすることにより、図34に示すように、シリコン窒化膜11およびシリコン酸化膜10の開口パターンを構成する（開口パターンに面する）側壁面上にサイドウォール酸化膜27を形成する。このようにして、サイドウォール膜としてのサイドウォール酸化膜27を形成する工程を実施する。

## 【0090】

次に、シリコン窒化膜11とシリコン酸化膜10とからなる積層膜およびサイドウォール酸化膜27をマスクとして用いて、半導体基板1の主表面を部分的に異方性エッティングにより除去する。この結果、図35に示すように、半導体基板1の主表面に溝2a、2bを形成することができる。溝2a、2bの幅は、シリコン窒化膜11およびシリコン酸化膜10の開口パターンの幅（開口パターンを構成し、シリコン窒化膜11およびシリコン酸化膜10の対向する側壁の間の距

離)よりも、サイドウォール酸化膜27の幅だけ狭くなっている。そのため、図35に示す構造を得るために用いた異方性エッティングのマスクとして利用するレジスト膜のパターン寸法を、写真製版加工における最小加工寸法程度としておけば、サイドウォール酸化膜27を形成することにより、溝2a、2bの幅をこの写真製版加工の最小加工寸法よりも小さくすることができる。

## 【0091】

つまり、マスク層としての積層膜の開口パターンに面する側壁上に形成されたサイドウォール酸化膜27をマスクとして利用することで、開口パターンを形成するために用いた写真製版加工の最小加工寸法に制限されることなく、溝2a、2bの幅Wを決定できる。したがって、サイドウォール酸化膜27の厚みを調整することで、積層膜およびサイドウォール酸化膜27により被覆されていない半導体基板1の表面部分(異方性エッティングによりエッティングされる半導体基板1の表面部分)の幅を、上記最小加工寸法より小さくすることができる。この結果、溝2a、2b(図35参照)の幅を上記最小加工寸法より小さくできるので、半導体装置の集積度を向上させることができる。

## 【0092】

次に、図3に示した工程と同様に、半導体基板1におけるエッティングストレスの緩和などを目的として、溝2aの内壁面を熱酸化することにより酸化膜3(図36)を形成する。このとき、サイドウォール酸化膜27中を酸化種が拡散することにより、エッジ部17においては溝2a、2bの底壁近傍の部分よりも半導体基板1の酸化が促進される。このため、エッジ部17においては、半導体基板1の表面(半導体基板1と酸化膜3との界面)が曲面状となっている。

## 【0093】

そして、酸化膜3(図36参照)を形成した後、酸化膜3上に溝2a、2bの内部を充填するようにHDP-CVD酸化膜4(図36参照)を形成する。HDP-CVD酸化膜4は、溝2a、2bの内部からシリコン窒化膜11の上部表面上にまで延在するように形成されている。このようにして、図36に示すような構造を得る。

## 【0094】

次に、CMP法を用いて、HDP-CVD酸化膜4（図36参照）の表面層を平坦化しながら除去する。この結果、図37に示すように、シリコン窒化膜11の上部表面が露出するとともに、分離酸化膜5a、5bの上部表面12が平坦化された状態となる。

## 【0095】

次に、熱リン酸などのエッチャントを用いたウエットエッチングにより、シリコン窒化膜11（図37参照）を除去する。その結果、図38に示すような構造を得る。

## 【0096】

次に、フッ酸などのエッチャントを用いた等方性エッチングにより、サイドウォール酸化膜27および分離酸化膜5a、5bの上部を部分的に除去する。また、このとき半導体基板1の主表面上に形成されたシリコン酸化膜10も同時に除去される。この結果、図39に示すような構造を得る。

## 【0097】

次に、分離酸化膜5a、5bによって分離された素子形成領域において、半導体基板1の主表面上にトンネル絶縁膜6a～6c（図40参照）を形成する。このトンネル絶縁膜6a～6c上から分離酸化膜5a、5bを覆うようにポリシリコン膜14（図40参照）を形成する。この結果、図40に示すような構造を得る。

## 【0098】

次に、CMP法を用いてポリシリコン膜14（図40参照）の表面層を部分的に除去する。この結果、図41に示すように、分離酸化膜5a、5bの上部表面が露出するとともに、上部表面が平坦化されたフローティングゲート電極7a～7c（図41参照）を形成できる。フローティングゲート電極7a～7cは、分離酸化膜5a、5bにより分離されている。この結果、図41に示すような構造を得る。

## 【0099】

その後、図8に示した工程と同様に、ウエットエッチングにより分離酸化膜5a、5bの上部を部分的に除去する。この結果、図42に示すように、フローテ

ィングゲート電極7a～7cの側面が露出する。

#### 【0100】

この後、ONO膜8（図32参照）およびコントロールゲート電極9（図32参照）を形成することにより、図32に示したような半導体装置を得ることができる。

#### 【0101】

##### （実施の形態6）

図43～図46は、本発明による半導体装置の製造方法の実施の形態6を説明するための断面模式図である。図34～図46に示した半導体装置の製造方法により、図32に示した半導体装置と同様の構造を備える半導体装置を得ることができる。以下、図43～図46を参照して、半導体装置の製造方法を説明する。

#### 【0102】

まず、半導体基板1（図43参照）の主表面上にシリコン酸化膜（図示せず）を形成する。このシリコン酸化膜上にポリシリコン膜（図示せず）を形成する。ポリシリコン膜上にシリコン窒化膜（図示せず）を形成する。シリコン窒化膜上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、シリコン窒化膜、ポリシリコン膜およびシリコン酸化膜からなる積層膜を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、図43に示すように、半導体基板1の主表面上にパターンを有し、シリコン酸化膜10、ポリシリコン膜21およびシリコン窒化膜11からなる積層膜を形成できる。

#### 【0103】

その後、シリコン窒化膜11の上部表面上から半導体基板1の主表面上にまで延在するようにTEOS酸化膜などの酸化膜（図示せず）を形成する。この酸化膜を異方性エッチングにより部分的に除去する。この結果、図44に示すように、シリコン窒化膜11、ポリシリコン膜21およびシリコン酸化膜10の側壁面上にサイドウォール酸化膜27を形成することができる。

#### 【0104】

次に、シリコン窒化膜11およびサイドウォール酸化膜27をマスクとして用

いて、図3 5に示した工程と同様に異方性エッチングにより半導体基板1の主表面を部分的に除去する。この結果、図4 5に示すように、半導体基板1の主表面に溝2 a、2 bを形成できる。溝2 a、2 bの幅は、サイドウォール酸化膜2 7の幅を調整することにより任意に変更することができる。そして、実施の形態5における半導体装置の製造方法と同様に、シリコン窒化膜1 1、ポリシリコン膜2 1およびシリコン酸化膜1 0からなる積層膜の対向する側壁面の間の距離を、写真製版加工工程における最小加工寸法と同程度としておけば、サイドウォール酸化膜2 7の幅を十分大きくすることにより、溝2 a、2 bの幅を写真製版加工工程における最小加工寸法よりも十分小さくすることができる。

## 【0105】

その後、半導体基板1のエッチングストレスを緩和するため、溝2 a、2 bの内壁面を熱酸化することにより酸化膜3（図4 6参照）を形成する。このとき、エッジ部1 7においては、サイドウォール酸化膜2 7中を酸化種が拡散することによって、他の部分よりもより半導体基板1の酸化が進む。この結果、エッジ部1 7においては、酸化膜3の厚みが相対的に厚くなると共に、半導体基板1の表面形状が滑らかな曲面状となっている。その後、酸化膜3上において、溝2 a、2 bの内部を充填するとともにシリコン窒化膜1 1の上部表面上まで延在するようHDP-CVD酸化膜4を形成する。この結果、図4 6に示すような構造を得る。

## 【0106】

この後、図3 7～図4 2に示した工程と同様の工程を実施することにより、図3 2に示した半導体装置と同様の構造を備える半導体装置を得ることができる。

## 【0107】

このように、図4 3～4 6に示した半導体装置の製造方法は、本発明の実施の形態2および実施の形態5における半導体装置の製造方法の特徴的な構成を有する。そのため、上記実施の形態2および実施の形態5における半導体装置の製造方法と同様の効果を得る事ができる。

## 【0108】

今回開示された実施の形態はすべての点で例示であって制限的なものではない

と考えられるべきである。本発明の範囲は上記した実施の形態ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 【0109】

## 【発明の効果】

本発明によれば、浮遊電極の平坦な上部表面上に絶縁膜を形成できるので、浮遊電極の上部表面に凹凸があることに起因して絶縁膜の厚みや特性が局所的に変化することを抑制できる。このため、制御電極と浮遊電極との間で、絶縁膜の厚みなどの変化に起因して局所的な電界集中が起きることを抑制できる。また、分離絶縁体上にまで浮遊電極は延在するように形成されているので、制御電極と対向する浮遊電極の表面積を大きくできる。さらに浮遊電極の上部表面上から側面上にまで絶縁膜を介して制御電極が配置されているので、制御電極と浮遊電極との間の容量の値を大きくすることができる。このため、制御電極と浮遊電極との間の容量に比例するカップリング比を大きくすることができる。さらに、分離絶縁体の上部表面の端部の形状を半導体基板側（下側）に凸の曲面状とするので、浮遊電極の下部に頂角が鋭角となる突出部が形成されることを防止できる。このため、浮遊電極下に位置するトンネル絶縁膜の絶縁性を向上させることができる

## 【図面の簡単な説明】

【図1】 本発明による半導体装置の実施の形態1を示す断面模式図である

【図2】 図1に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図3】 図1に示した半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図4】 図1に示した半導体装置の製造方法の第3工程を説明するための断面模式図である。

【図5】 図1に示した半導体装置の製造方法の第4工程を説明するための断面模式図である。

【図6】 図1に示した半導体装置の製造方法の第5工程を説明するための断面模式図である。

【図7】 図1に示した半導体装置の製造方法の第6工程を説明するための断面模式図である。

【図8】 図1に示した半導体装置の製造方法の第7工程を説明するための断面模式図である。

【図9】 本発明による半導体装置の実施の形態2を示す断面模式図である

【図10】 図9に示した半導体装置の部分拡大断面模式図である。

【図11】 図9および図10に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図12】 図9および図10に示した半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図13】 図9および図10に示した半導体装置の製造方法の第3工程を説明するための断面模式図である。

【図14】 図9および図10に示した半導体装置の製造方法の第4工程を説明するための断面模式図である。

【図15】 図9および図10に示した半導体装置の製造方法の第5工程を説明するための断面模式図である。

【図16】 図9および図10に示した半導体装置の製造方法の第6工程を説明するための断面模式図である。

【図17】 図9および図10に示した半導体装置の製造方法の第7工程を説明するための断面模式図である。

【図18】 本発明による半導体装置の実施の形態3を示す断面模式図である。

【図19】 図18に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図20】 図18に示した半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図21】 図18に示した半導体装置の製造方法の第3工程を説明するための断面模式図である。

【図22】 図18に示した半導体装置の製造方法の第4工程を説明するための断面模式図である。

【図23】 図18に示した半導体装置の製造方法の第5工程を説明するための断面模式図である。

【図24】 図18に示した半導体装置の製造方法の第6工程を説明するための断面模式図である。

【図25】 図18に示した半導体装置の製造方法の第7工程を説明するための断面模式図である。

【図26】 図18に示した半導体装置の製造方法の第8工程を説明するための断面模式図である。

【図27】 図18に示した半導体装置の製造方法の第9工程を説明するための断面模式図である。

【図28】 図18に示した半導体装置の製造方法の第10工程を説明するための断面模式図である。

【図29】 本発明による半導体装置の実施の形態4を示す断面模式図である。

【図30】 図29に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図3.1】 図29に示した半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図3.2】 本発明による半導体装置の実施の形態5を示す断面模式図である。

【図3.3】 図3.2に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図3.4】 図3.2に示した半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図3.5】 図3.2に示した半導体装置の製造方法の第3工程を説明するた

めの断面模式図である。

【図36】 図32に示した半導体装置の製造方法の第4工程を説明するための断面模式図である。

【図37】 図32に示した半導体装置の製造方法の第5工程を説明するための断面模式図である。

【図38】 図32に示した半導体装置の製造方法の第6工程を説明するための断面模式図である。

【図39】 図32に示した半導体装置の製造方法の第7工程を説明するための断面模式図である。

【図40】 図32に示した半導体装置の製造方法の第8工程を説明するための断面模式図である。

【図41】 図32に示した半導体装置の製造方法の第9工程を説明するための断面模式図である。

【図42】 図32に示した半導体装置の製造方法の第10工程を説明するための断面模式図である。

【図43】 本発明による半導体装置の製造方法の実施の形態6の第1工程を説明するための断面模式図である。

【図44】 本発明による半導体装置の製造方法の実施の形態6の第2工程を説明するための断面模式図である。

【図45】 本発明による半導体装置の製造方法の実施の形態6の第3工程を説明するための断面模式図である。

【図46】 本発明による半導体装置の製造方法の実施の形態6の第4工程を説明するための断面模式図である。

【図47】 図1に示した半導体装置の効果を説明するための参考図である

【図48】 図1に示した半導体装置の効果を説明するための参考図である

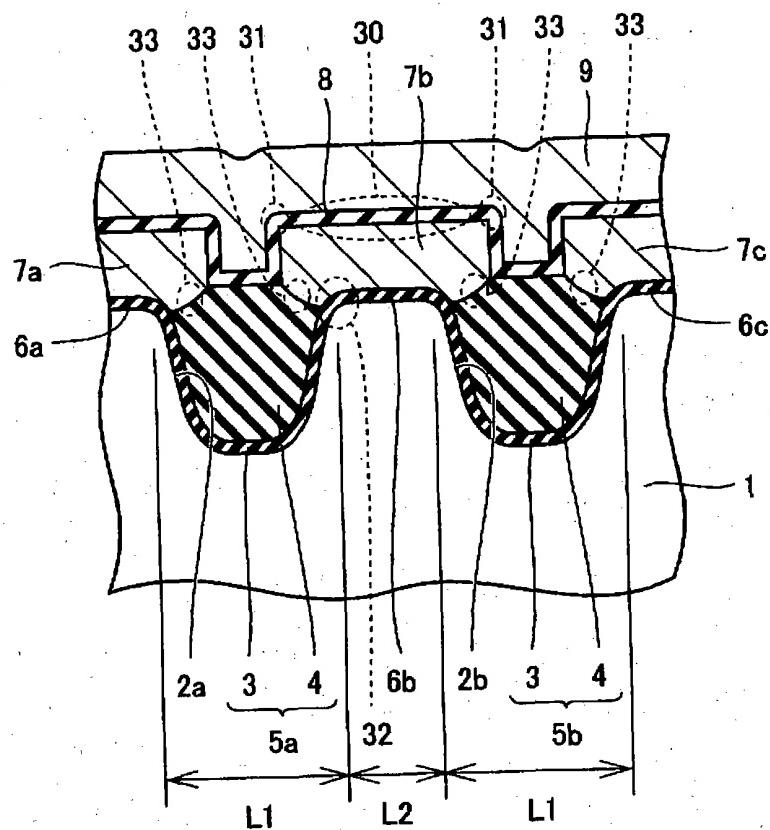
【図49】 図1に示した半導体装置の効果を説明するための参考図である

## 【符号の説明】

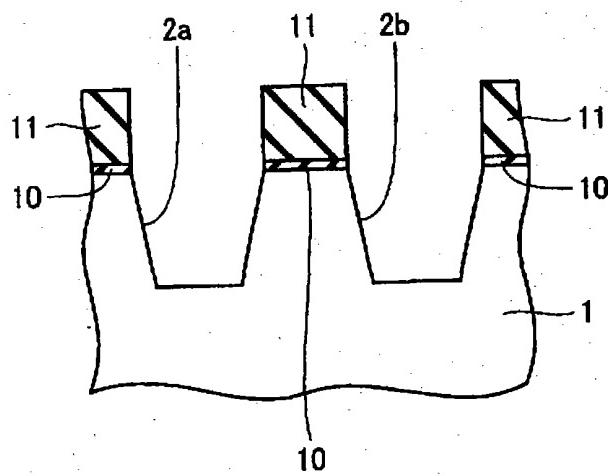
1 半導体基板、2 a～2 d 溝、3 酸化膜、4 HDP-CVD酸化膜、  
5 a～5 d 分離酸化膜、6 a～6 e トンネル絶縁膜、7 a～7 c フローティングゲート電極、8 ONO膜、9 コントロールゲート電極、10 シリコン酸化膜、11 シリコン窒化膜、12, 16 上部表面、14, 21 ポリシリコン膜、15 矢印、17 エッジ部、18 平坦部、19 曲面部、20 直線状部、22 a, 22 b ゲート絶縁膜、23 a, 23 b ゲート電極、24 レジスト膜、25 導電体層、26 基板表面、27 サイドウォール酸化膜、30, 33 領域、31, 41 角部、32, 40 接続部、34 突出部。

【書類名】 図面

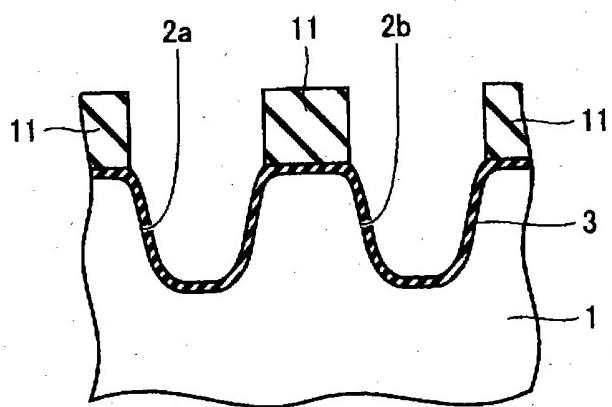
【図1】



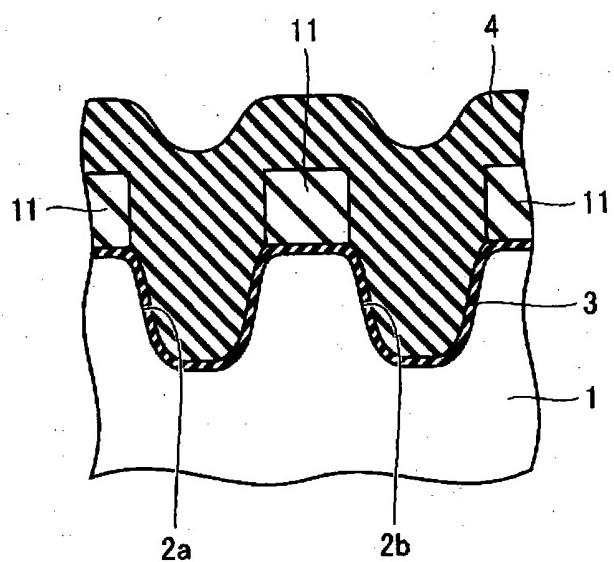
【図2】



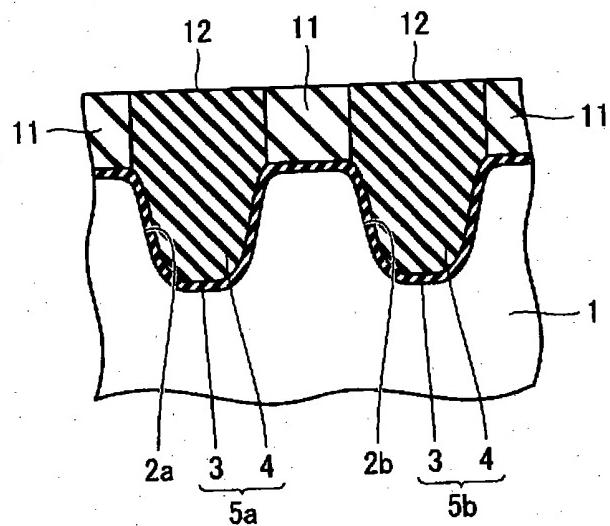
【図3】



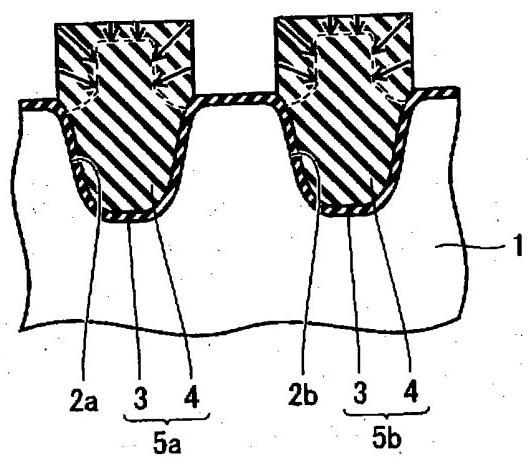
【図4】



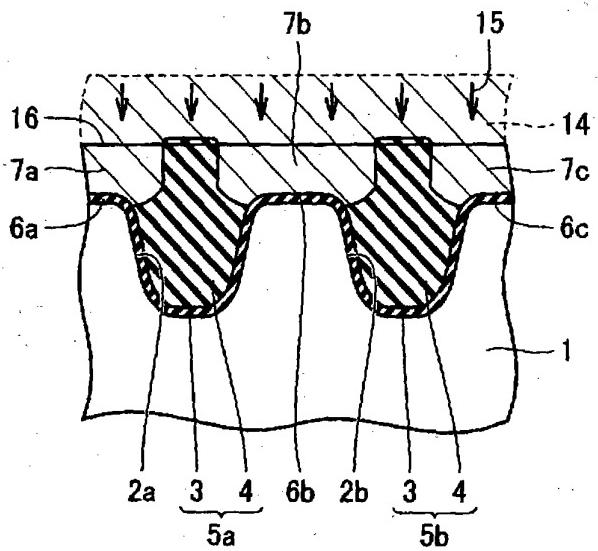
【図5】



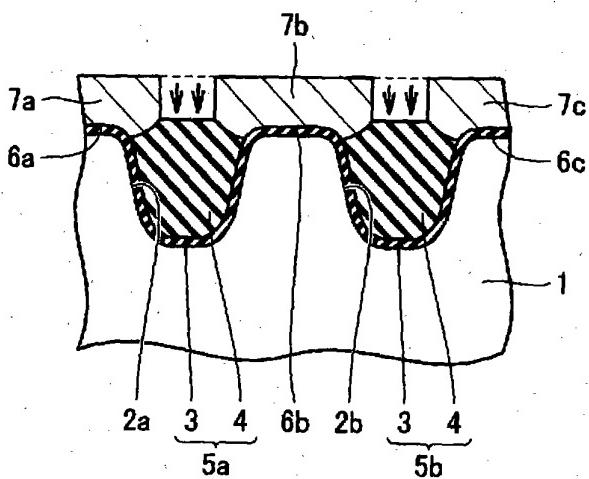
【図6】



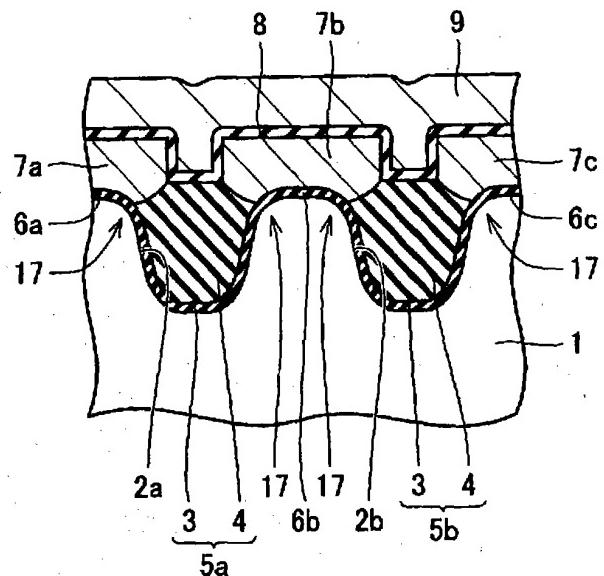
【図7】



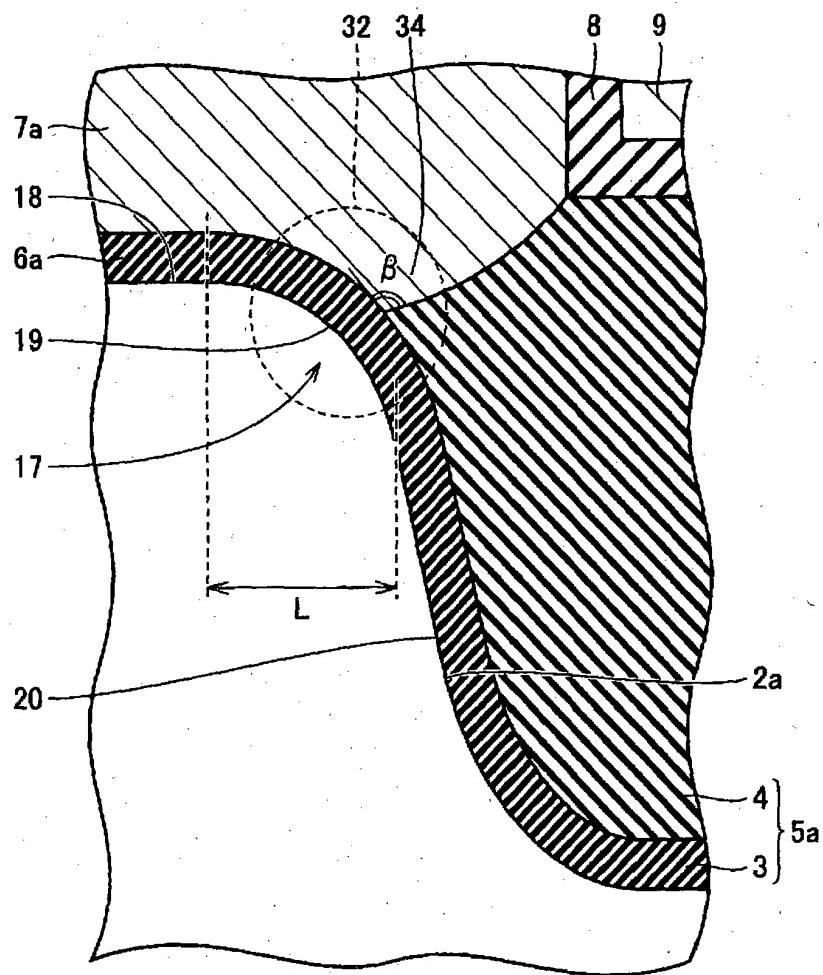
【図8】



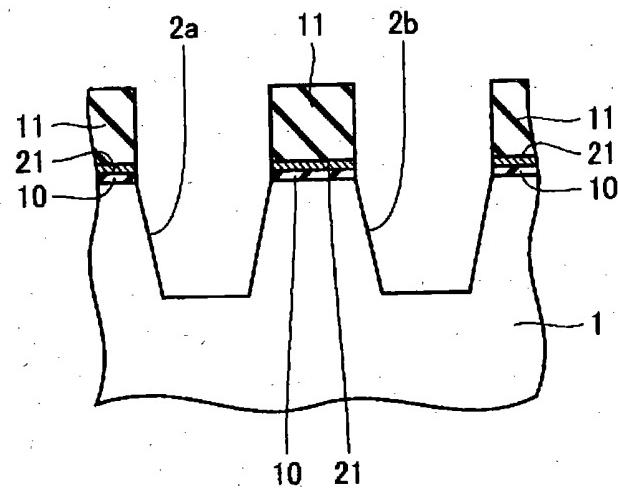
【図9】



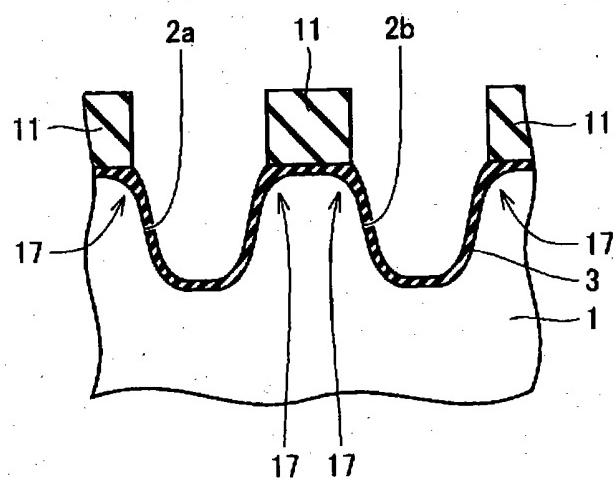
【図10】



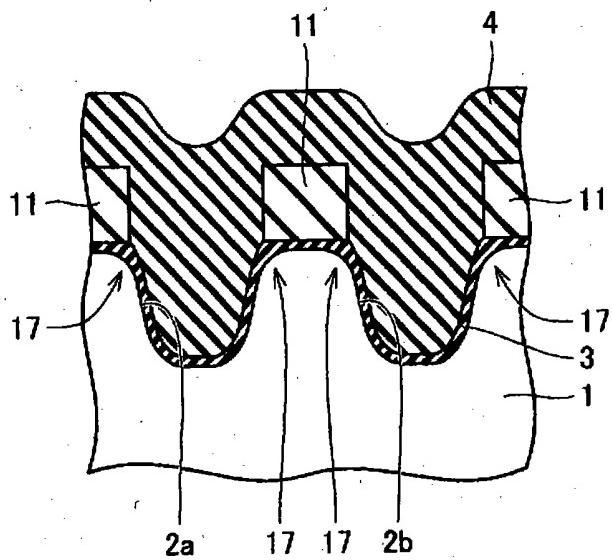
【図11】



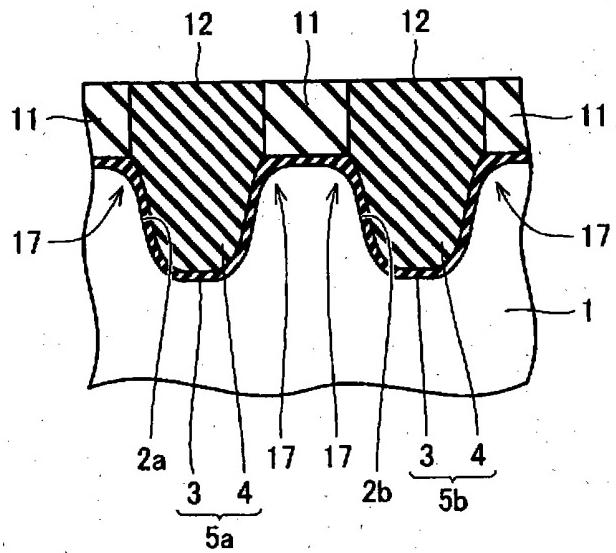
【図12】



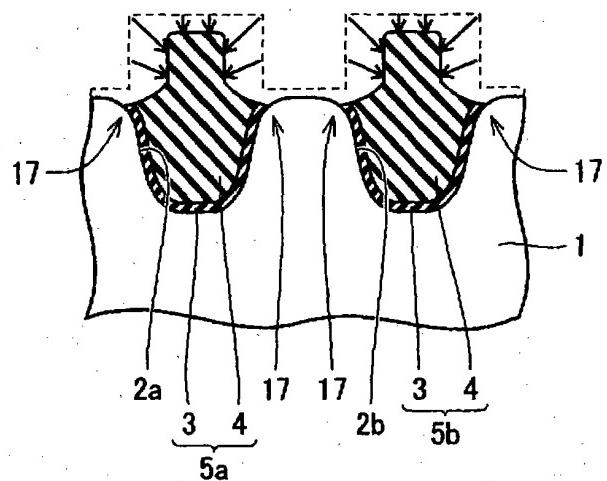
【図1.3】



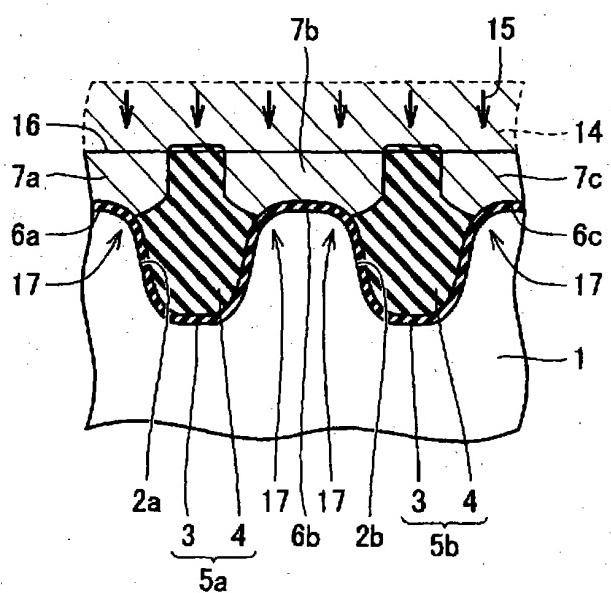
【図1.4】



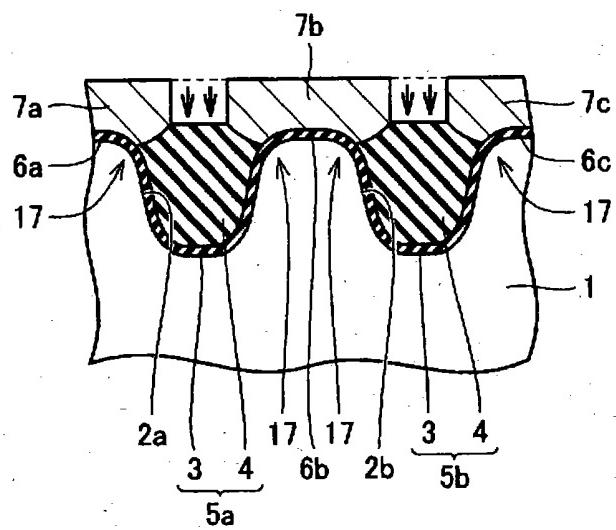
【図15】



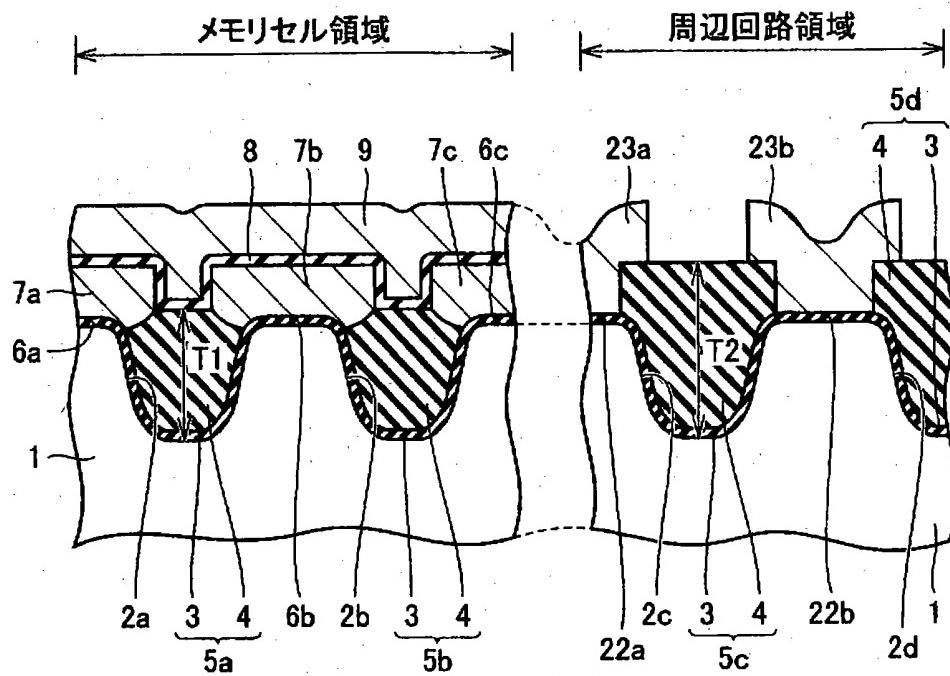
【図16】



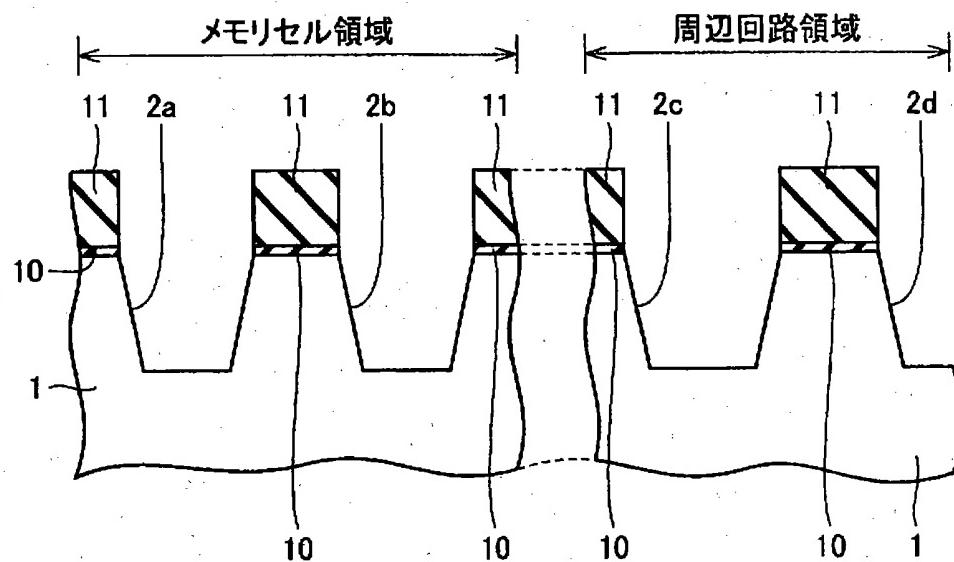
【図17】



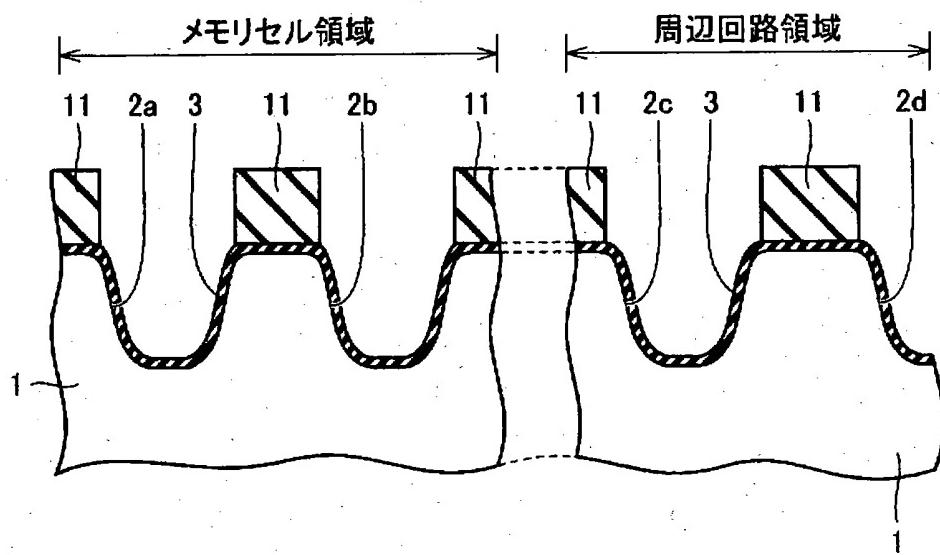
【図18】



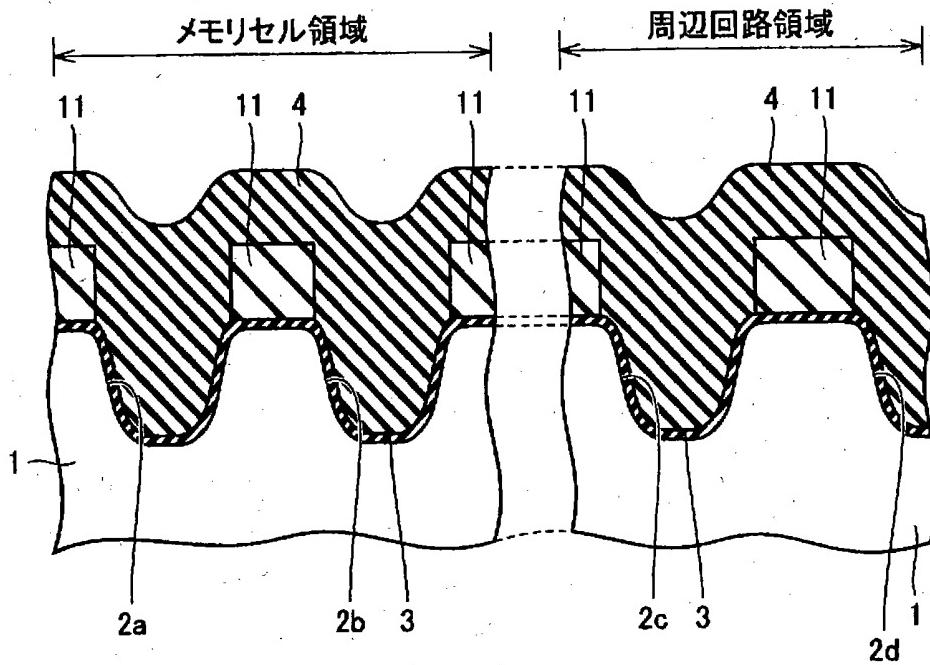
【図19】



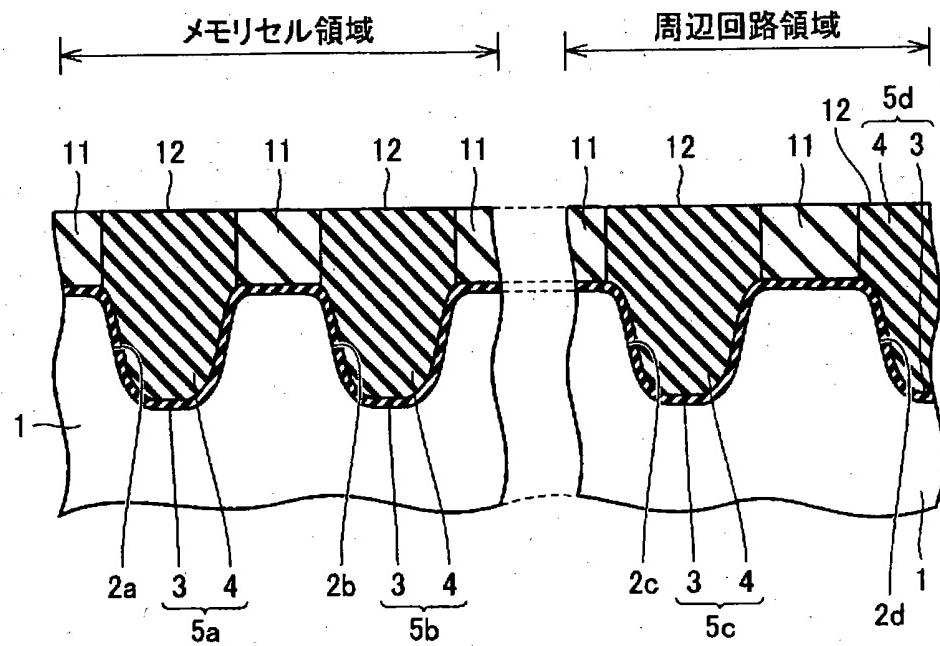
【図20】



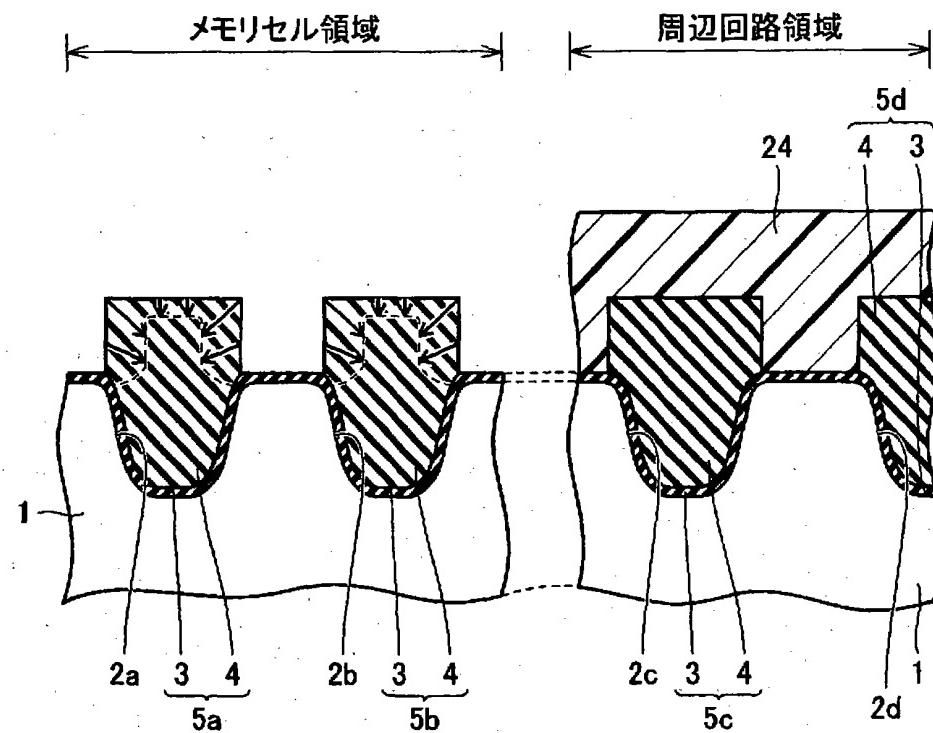
【図21】



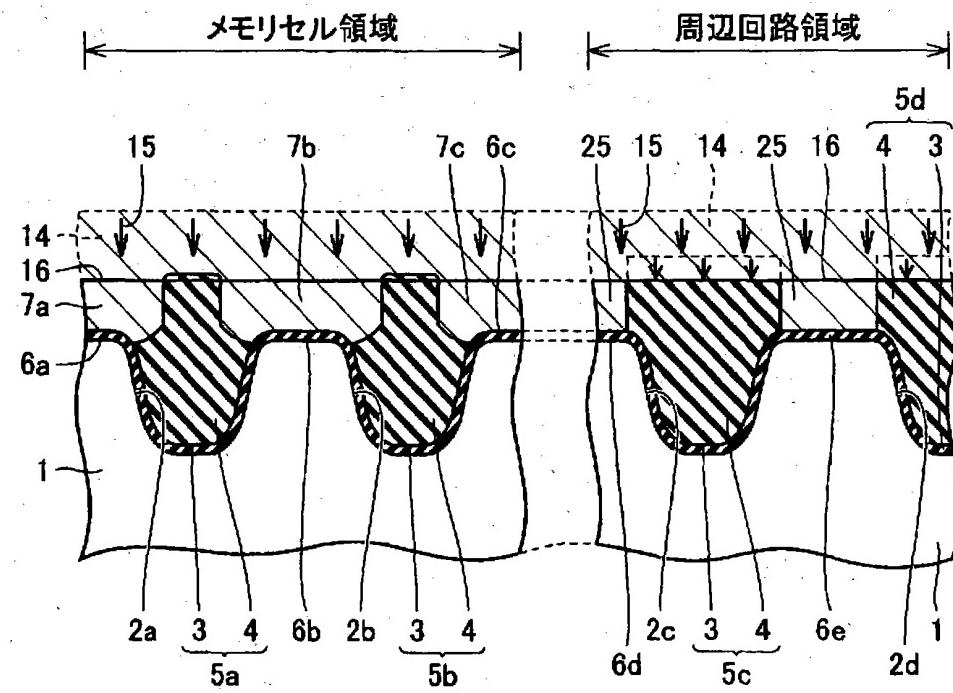
【図22】



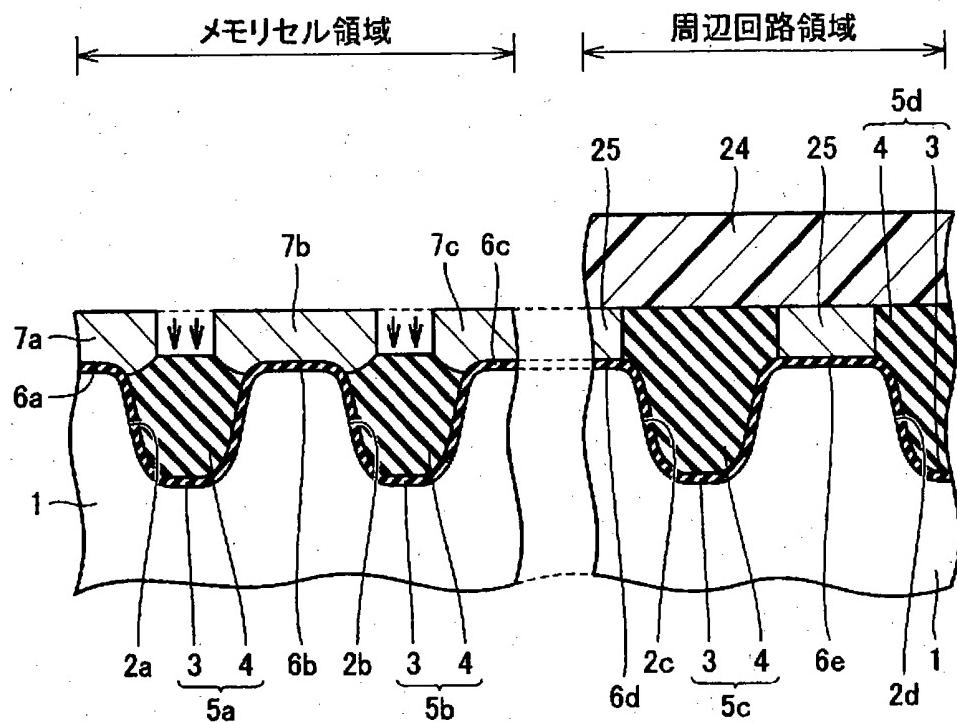
【図23】



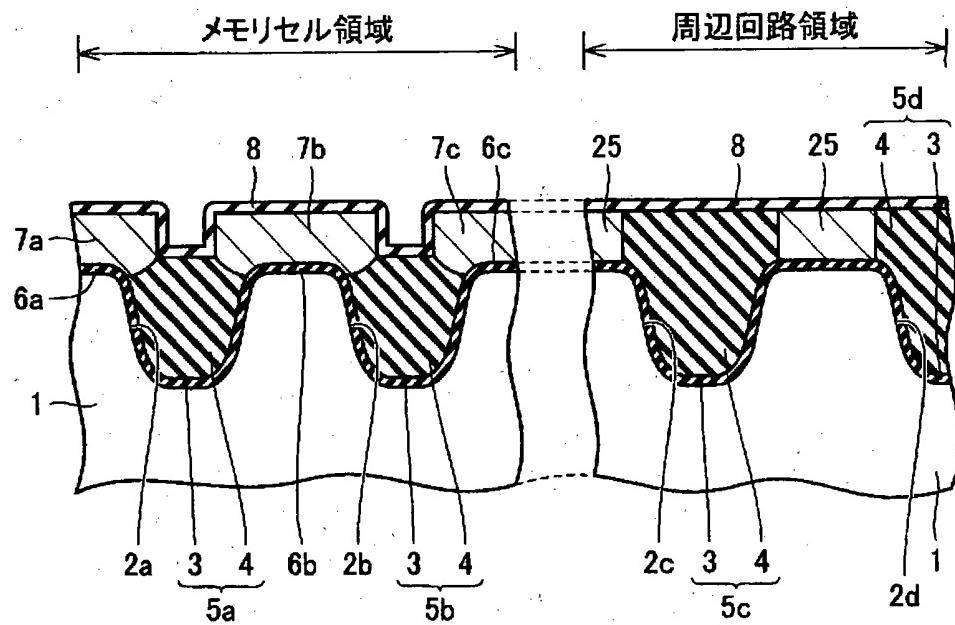
【図24】



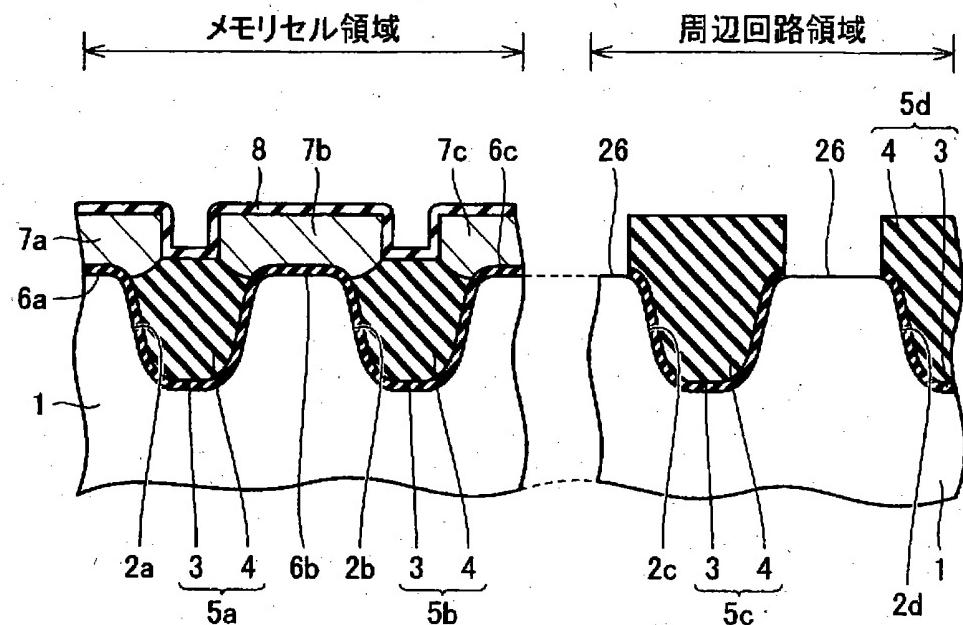
【図25】



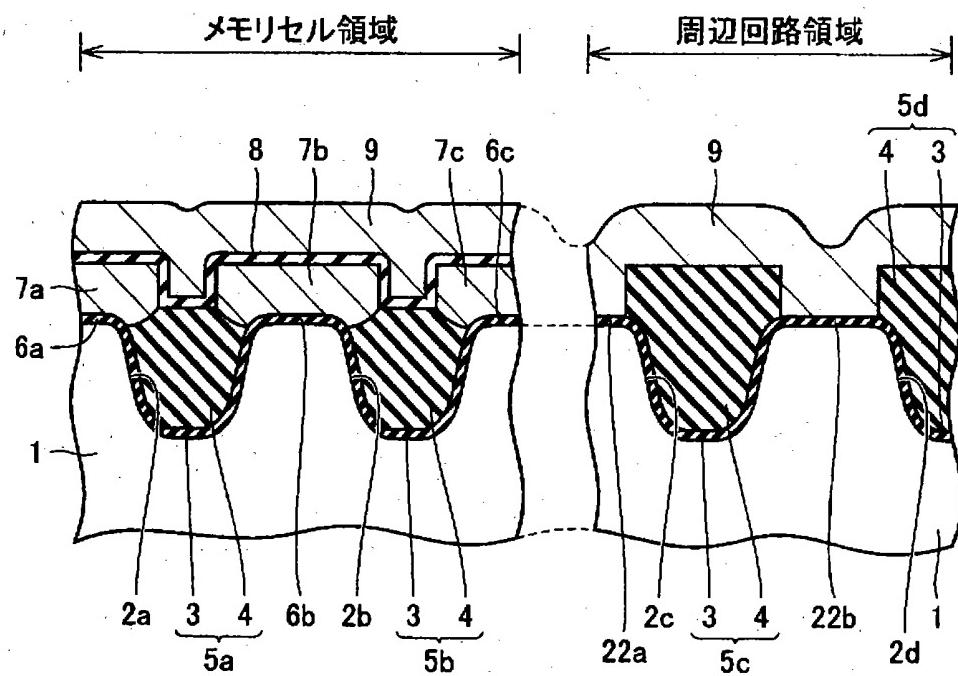
【図26】



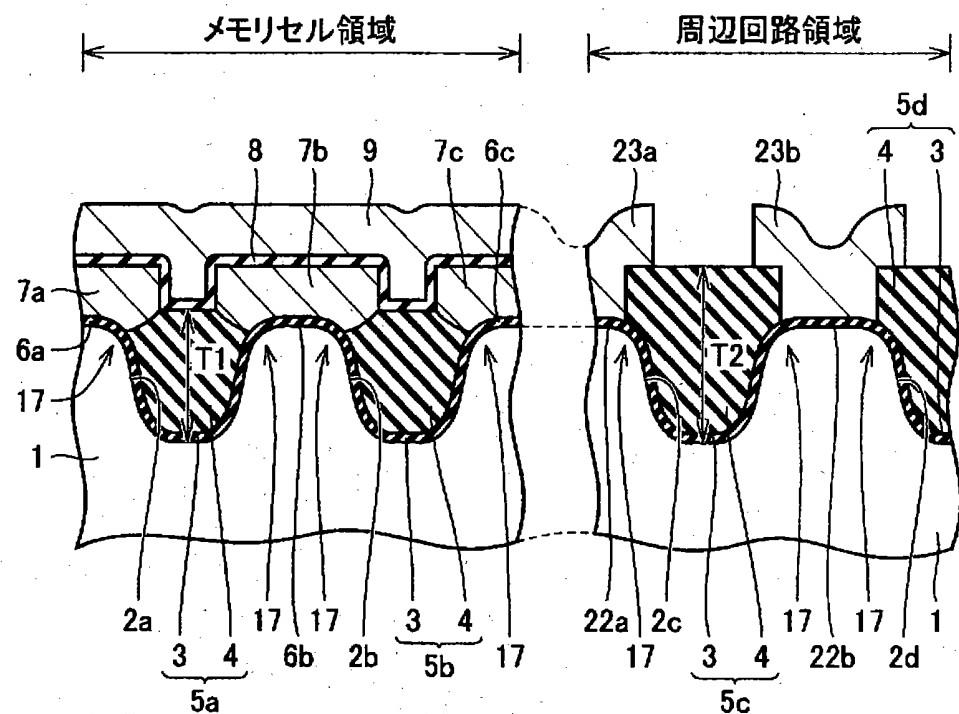
【図2.7】



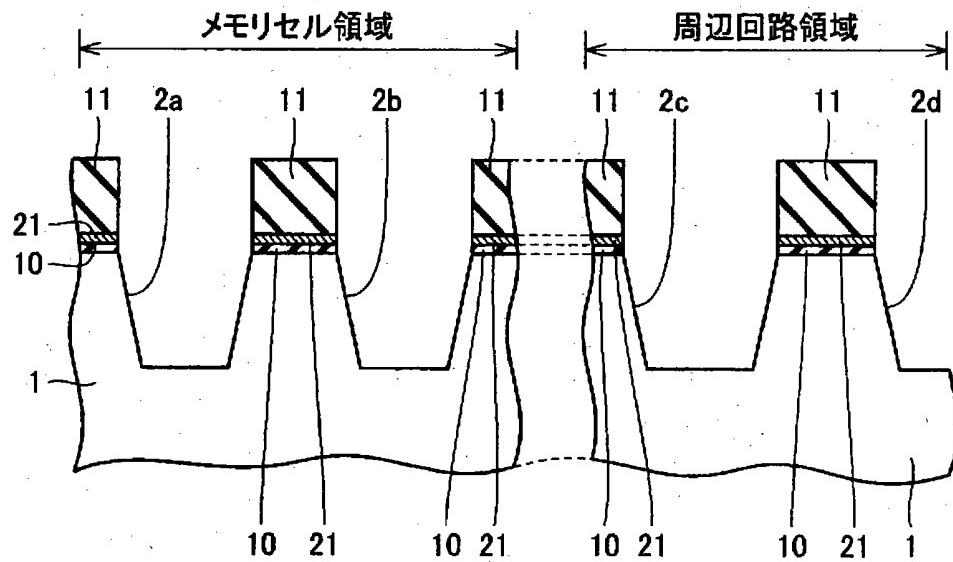
【図2.8】



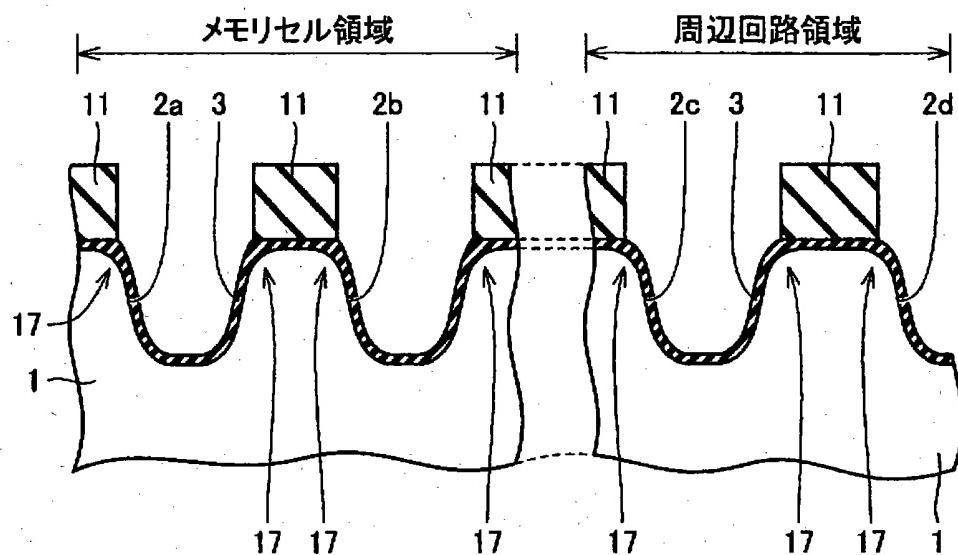
【図29】



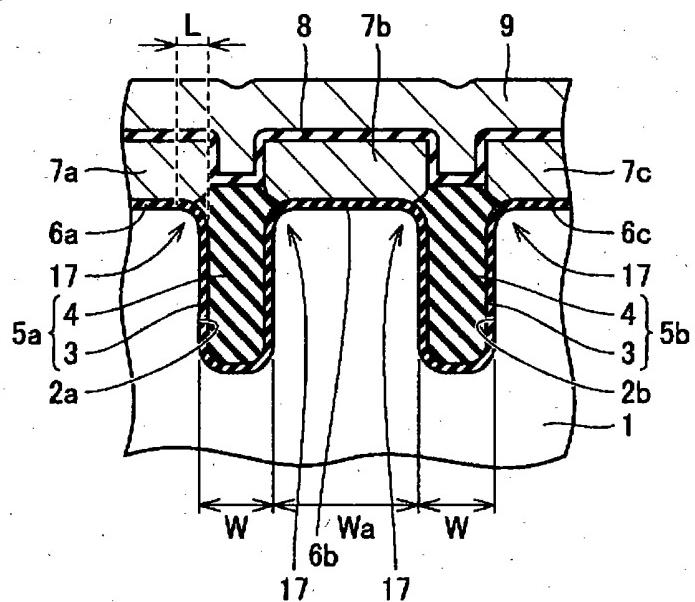
【図30】



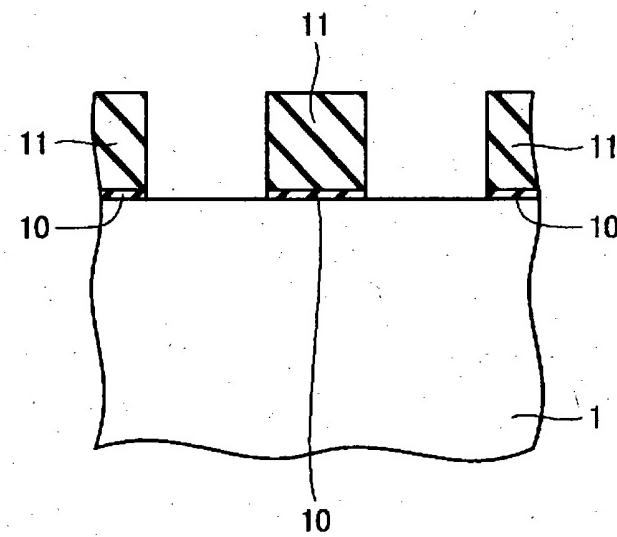
【図3.1】



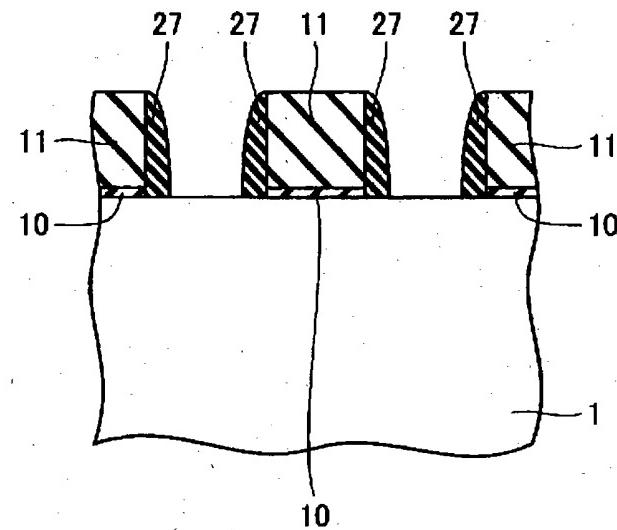
【図3.2】



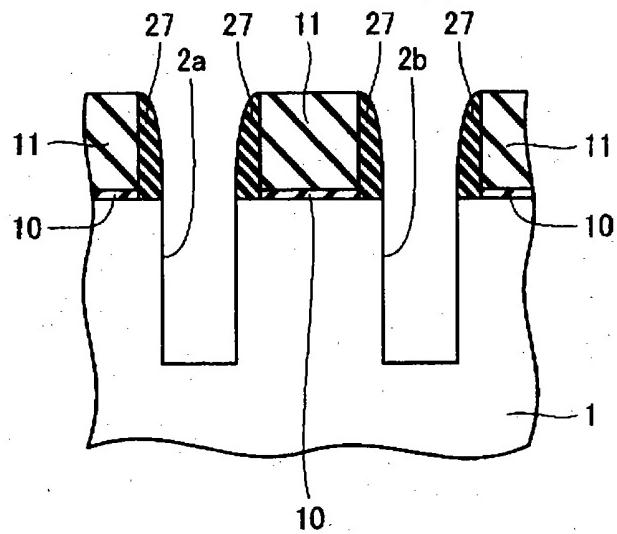
【図33】



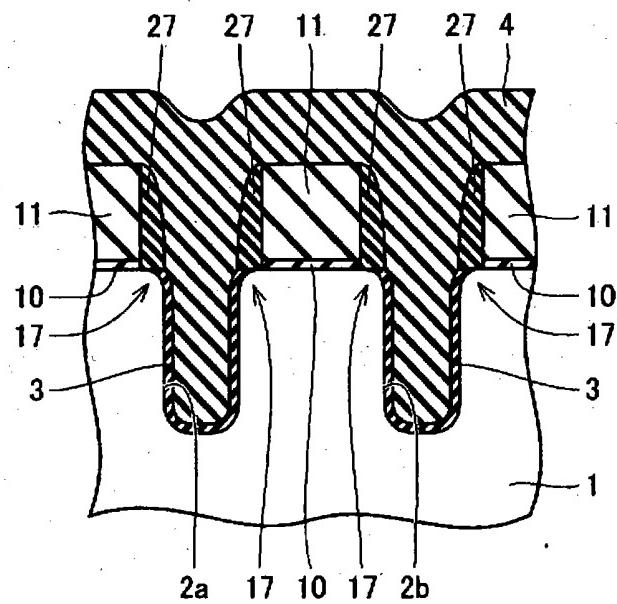
【図34】



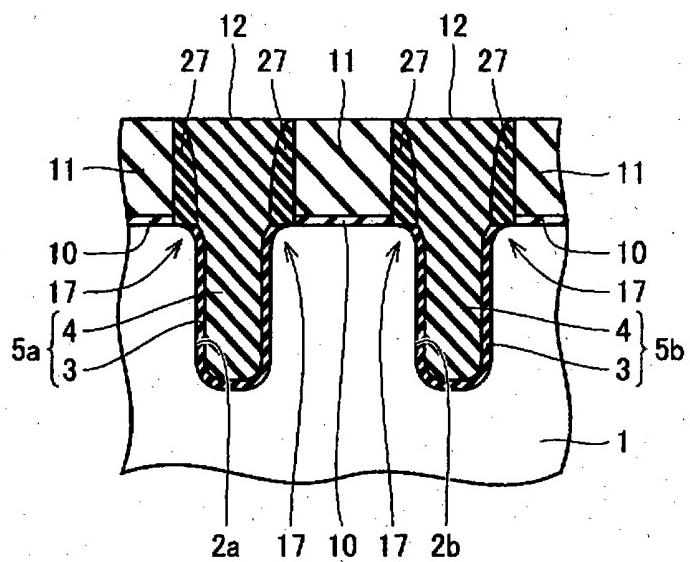
【図35】



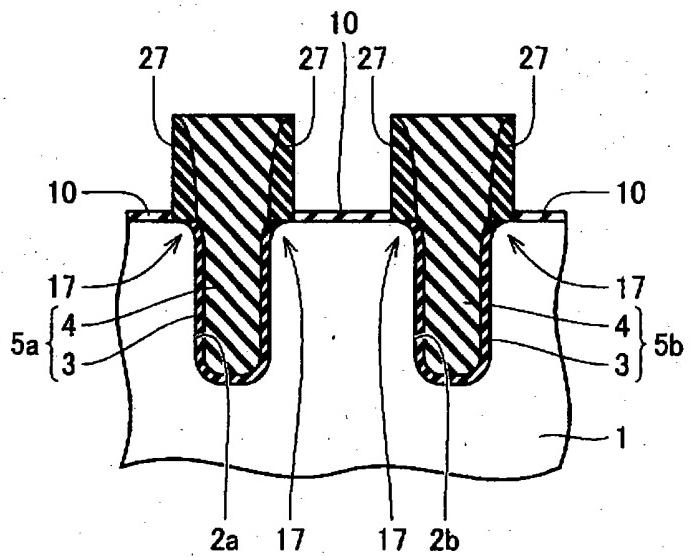
【図36】



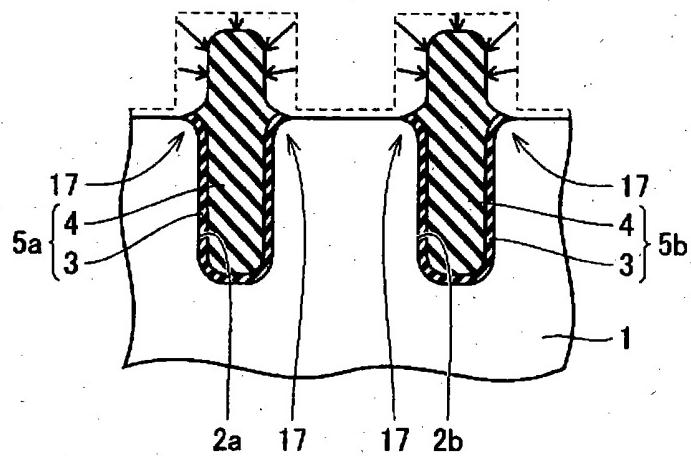
【図37】



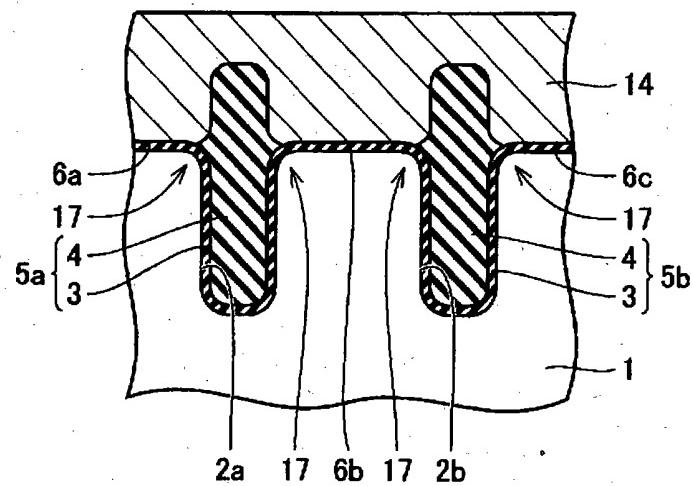
【図38】



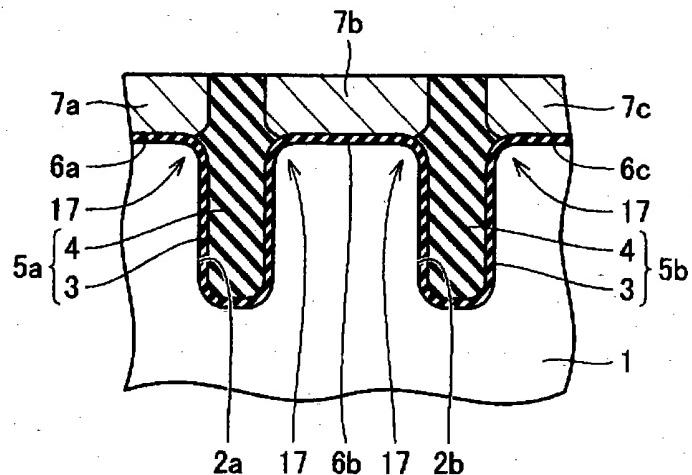
【図39】



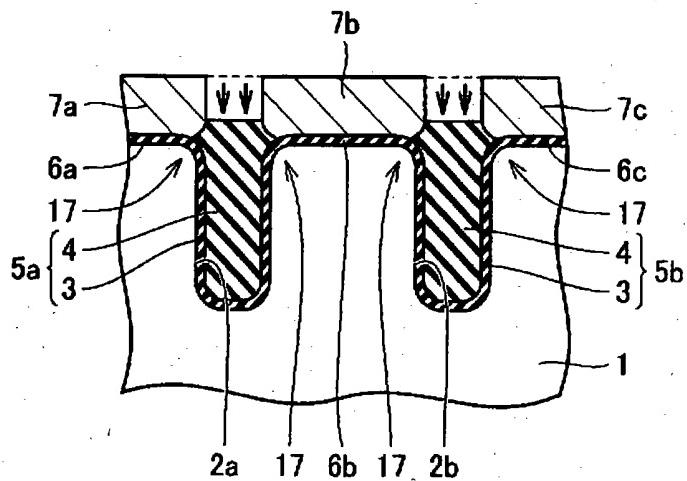
【図40】



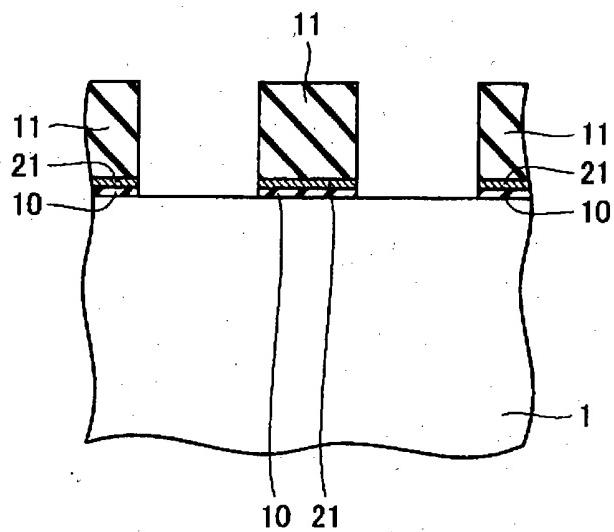
【図41】



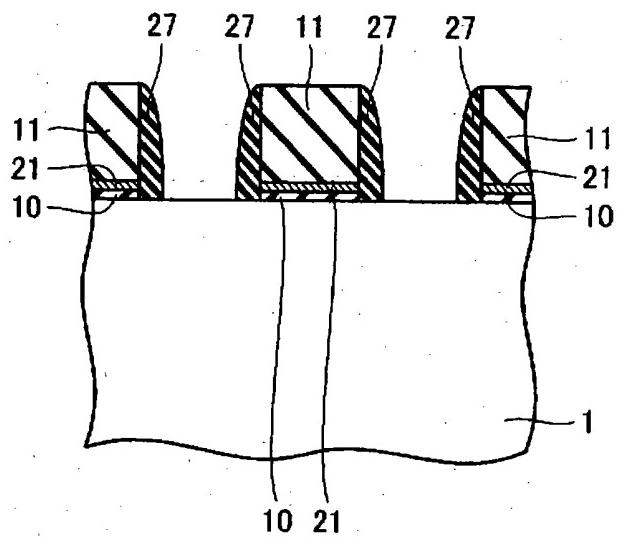
【図42】



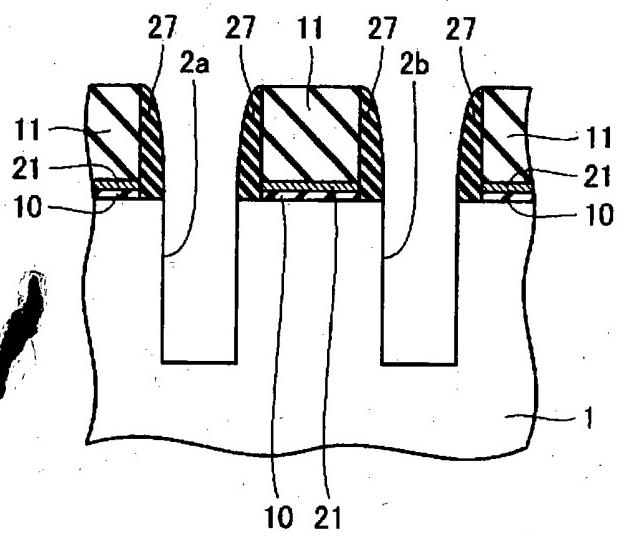
【図43】



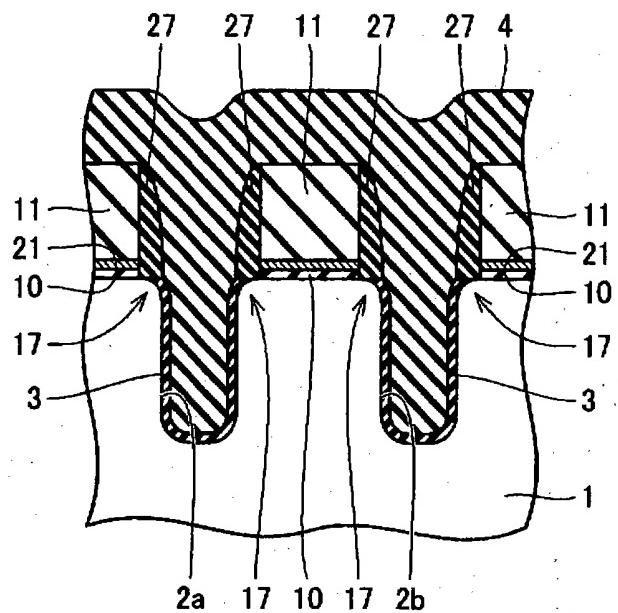
【図44】



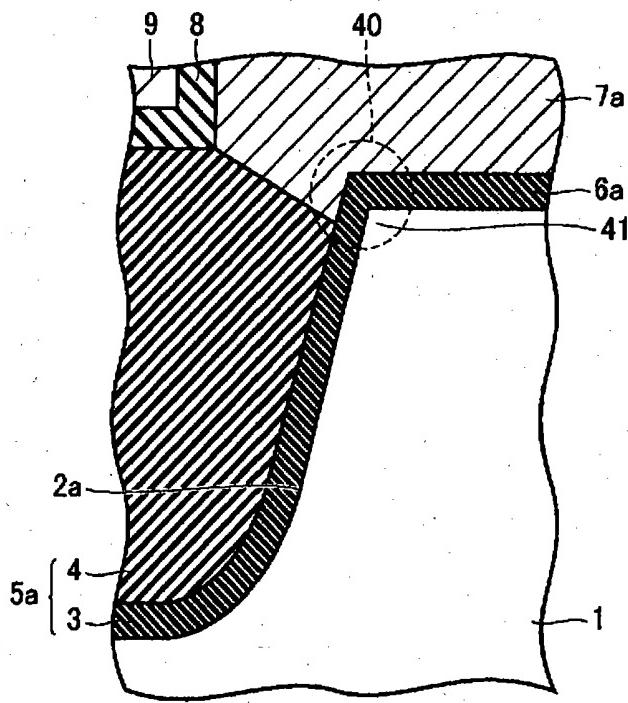
【図45】



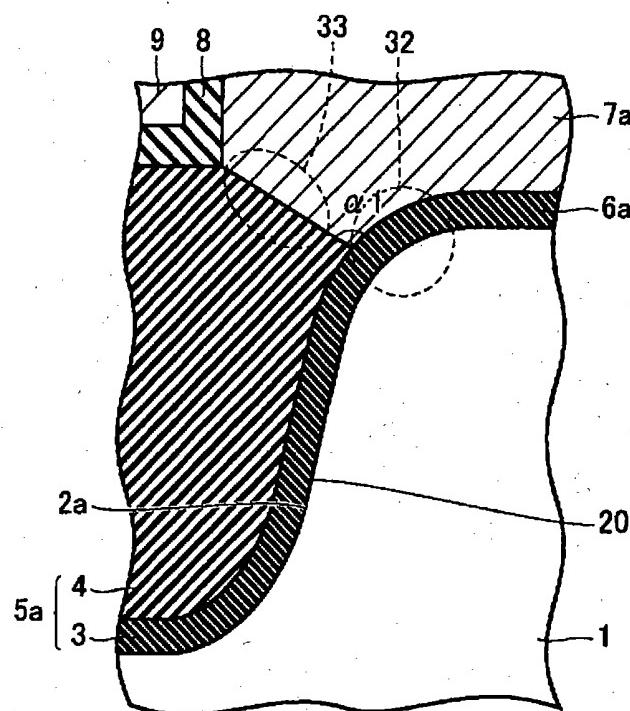
【図4 6】



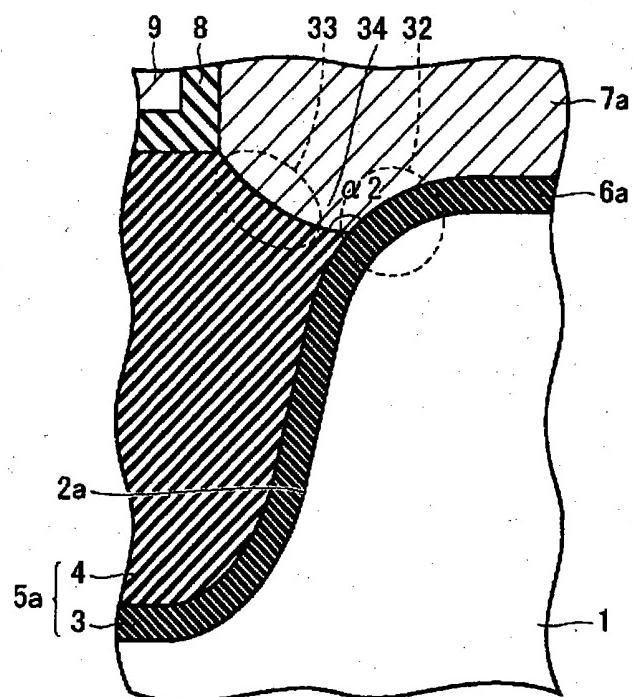
【図4 7】



【図4.8】



【図4.9】



【書類名】 要約書

【要約】

【課題】 優れた電気的特性を有する不揮発性半導体記憶装置およびその製造方法を提供する。

【解決手段】 半導体装置は、2つの溝2a、2bを有する半導体基板1と、溝2a、2bの内部に形成された分離酸化膜5a、5bと、フローティングゲート電極7a～7cと、ONO膜8と、コントロールゲート電極9とを備える。分離酸化膜5a、5bの上部表面の領域33は、下側に凸の曲面状となっている。フローティングゲート電極7bは、2つの溝の間に位置する半導体基板1の主表面上から、2つの分離酸化膜5a、5b上にまで延在し、平坦な上部表面を有する。ONO膜8は、フローティングゲート電極の上部表面上から、フローティングゲート電極7a～7cの側面上にまで延在する。コントロールゲート電極9は、フローティングゲート電極7a～7cの上部表面上からフローティングゲート電極7a～7cの側面上にまで延在するように、ONO膜8上に形成されている。

【選択図】 図1